

Cognome e nome dello studente:

Matricola:

A.A. 2010-2011 – Appello del 24 Gennaio 2011

[7] In una memoria cache a mappatura diretta, gli indirizzi su 32 bit possono essere suddivisi come segue:

- Tag: 31-12
- Indice 11-5
- Offset 4-0

[3] Determinare il numero di linee, la dimensione totale e la dimensione della linea della cache in byte, supponendo parole di 32 bit. Quali di queste quantità cambierebbe se la cache fosse in realtà a 4 vie?

[1] Quanti blocchi di RAM possono essere mappati in questa cache, supponendo una RAM di 1 Gbyte? Quale sarebbe il numero massimo di blocchi di RAM che possono essere mappati?

[1] Cosa si intende per hit e miss?

[2] Cosa si intende per writeback e write-through? Quali sono i vantaggi e svantaggi di ciascuna delle due modalità?

[11] Data la pipeline riportata sotto, evidenziare quali sono i cammini attivi e quali i cammini non sfruttati per l'esecuzione delle seguenti istruzioni:

andi \$t2, \$s3, 4

bne \$s4, \$s5, 20

sw \$s5, 20(\$t0)

Cosa si intende per hazard? Cosa si intende per stallo?

Modificare la pipeline in modo che possa gestire un hazard sul controllo provocato da una "beq".

Come vengono gestite le jump in una pipeline?

[3] Disegnare una cella di memoria SRAM e di memoria DRAM ed illustrare la differenza, indicare in quali livelli di memoria viene utilizzata ciascuna delle due memorie. Spiegare cosa si intende per modalità di trasferimento a burst dalla memoria, a chi si applica e perchè si utilizza e su quali proprietà delle architetture si basa.

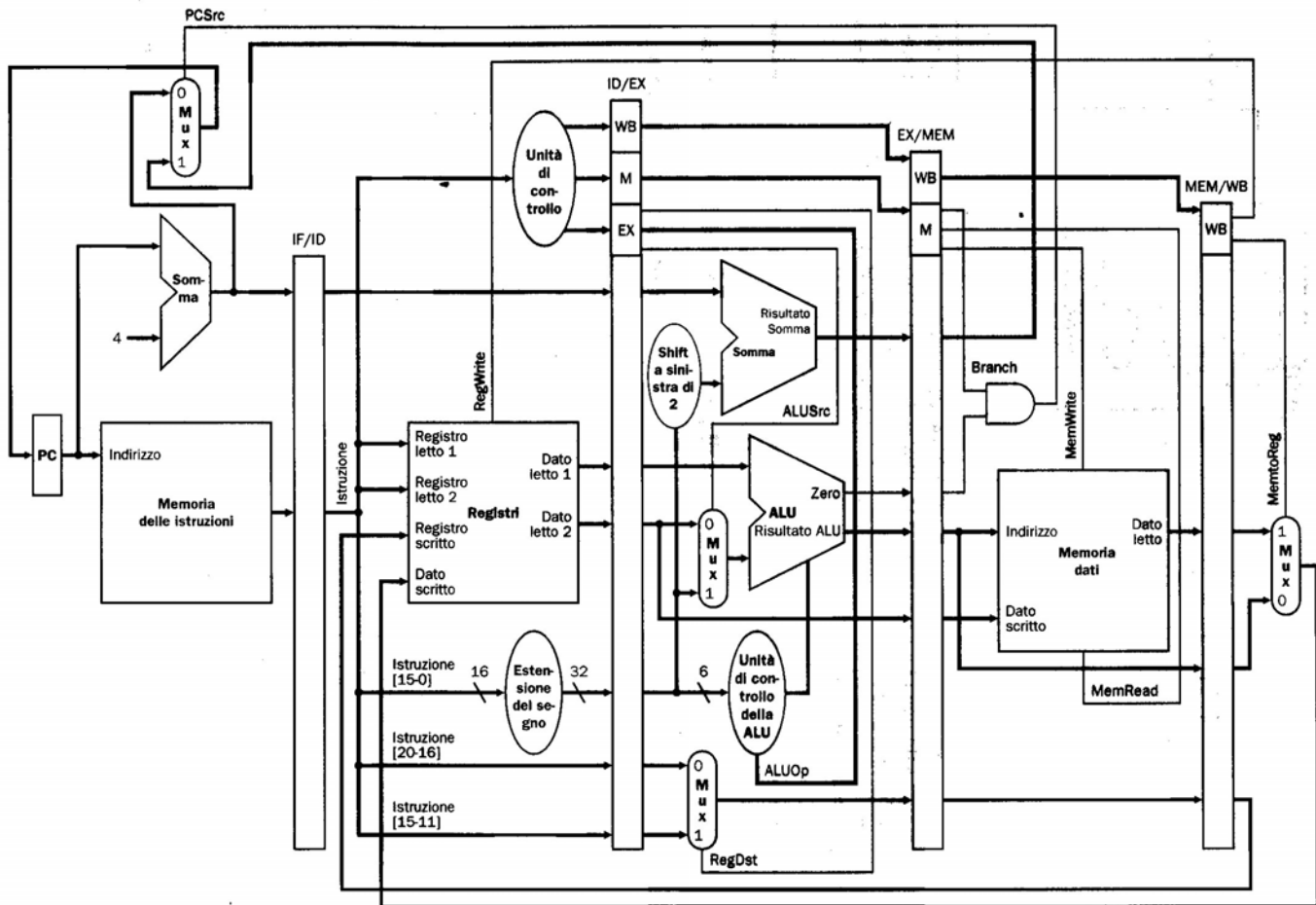
[3] Definire cos'è un'eccezione ed un interrupt? Esiste una posizione preferenziale all'interno del ciclo di esecuzione per servire interrupt ed eccezioni? Cosa vuol dire servire un interrupt per un'architettura (descrivere a grandi linee)?

[6] Descrivere la gerarchia dei bus implementata attualmente sui microprocessori. Cosa si intende per arbitraggio del bus? Chi arbitra? Descrivere uno schema di arbitraggio a piacere. Descrivere una scheda grafica di nuova generazione (GPU) e definirne le proprietà. E' possibile eseguire un programma strettamente sequenziale su una GPU? Cosa ci si può aspettare in questo caso?

[4] Implementare nelle due forme canoniche la seguente funzione logica:

$$Z = AD + !BC + !C!BA$$

Per ciascuna delle due forme canoniche scrivere la complessità ed il cammino critico per produrre l'uscita. Implementare la prima forma canonica in una PLA con 6 mintermini. E' possibile? Perchè? Quali vantaggi/svantaggi ha un'implementazione di una funzione digitale su una PLA? E su una ROM? Cos'è una FPGA?



Codici operativi:

- addi -> 8
- lw -> 35
- sw -> 43
- j -> 2
- jal -> 3
- beq -> 4

Campo funzione:

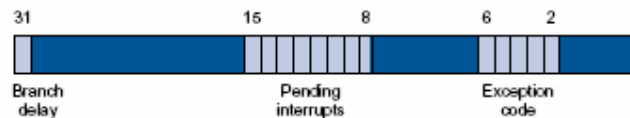
- add -> 32
- sub -> 34
- or -> 37
- and -> 36

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	... (caller can clobber)	
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

Coprocessore 0

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.

Registro causa:



Registro stato:

