

Cognome e nome dello studente:

Matricola:

A.A. 2007-2008 – Appello del 20 Febbraio 2009

[8] Progettare una macchina a stati finiti (di Moore) che realizza una sistema di accesso a combinazione segreta: soltanto dopo aver premuto in sequenza i tasti: “0 4 0 1”, l’uscita, che comanda l’apertura della porta, va a livello logico 1 e consente l’apertura della porta. Dopodichè la pressione di un qualunque tasto riporta la macchina nello stato iniziale. (suggerimento: si consideri una sola linea d’ingresso per tutti i tasti diversi da “0”, “1” e “4”). Determinare STG, STT, STT codificata e la struttura circuitale completa della macchina. Definire la complessità della parte combinatoria ed il suo cammino critico. Si può realizzare come macchina sincrona o non sincrona? Perché?

[9] Disegnate una cache per un’architettura MIPS, a 4 vie di 1KByte per banco, e linee di 4 parole (per ciascun banco). Supponiamo che l’indirizzamento della memoria principale sia su 32 bit. Disegnare il circuito di scrittura della cache. Definire cosa rappresenta il campo TAG e dimensionarlo. Supponiamo che all’inizio i bit di validità siano tutti a 0. Definire cosa succede in corrispondenza di questo frammento di codice (se si verifica una miss, una hit e dove vengono scritti / letti i dati della cache, quale indirizzo e quale tag vengono associati ad ogni istruzione):

sw \$t0, 20(\$zero)

lw \$t0, 64(\$zero)

lw \$t0, 60(\$zero)

sw \$t0, 56(\$zero)

sw \$t0, 0(\$zero)

lw \$t0, 20(\$zero)

lw \$t0, 64(\$zero)

lw \$t0, 128(\$zero)

Disegnare una possibile struttura di questa memoria cache quando è implementata mediante celle DRAM o SRAM.

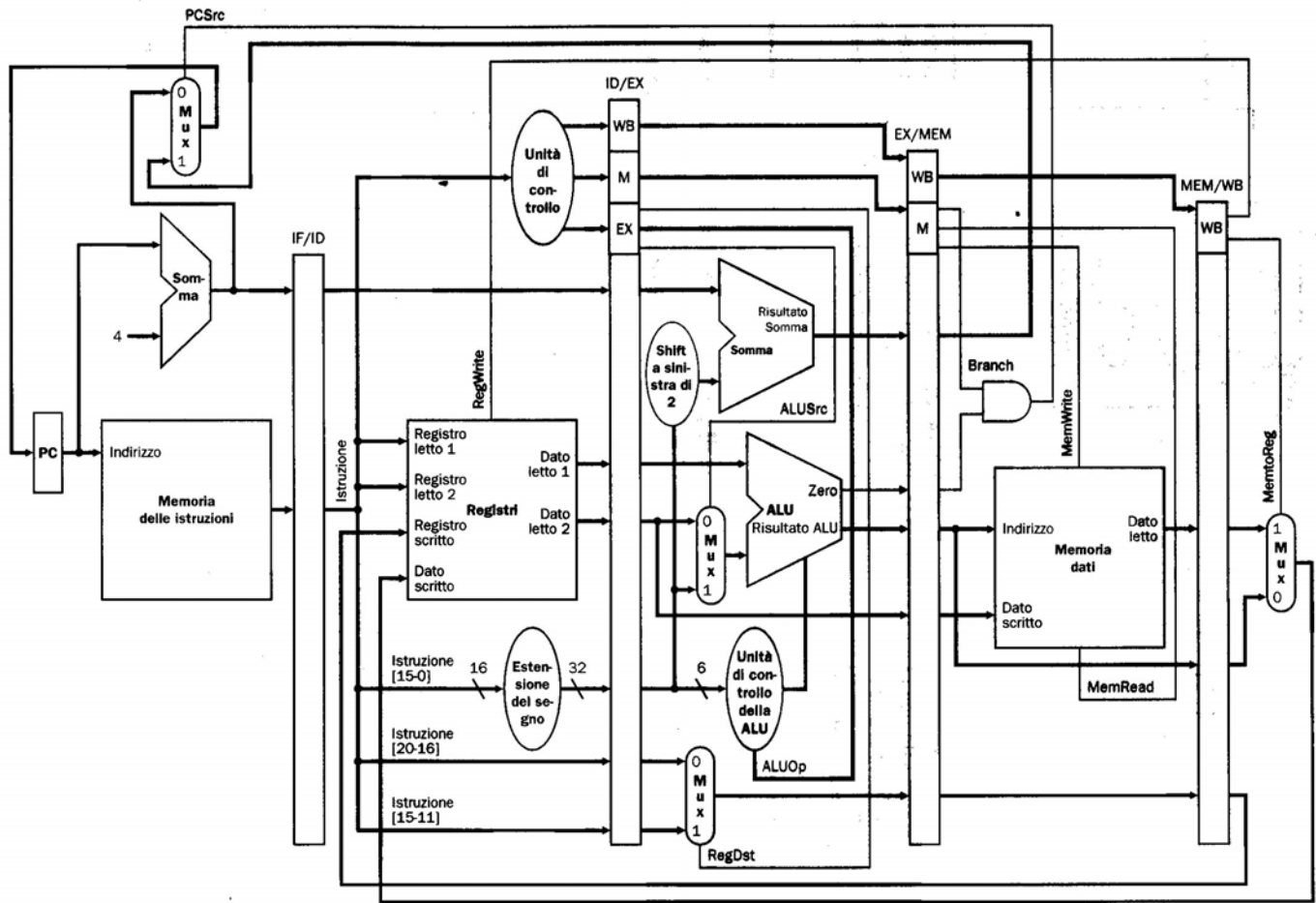
[4] Cosa si intende per write through e write back? Cosa si intende per coerenza (di una memoria)? Cosa si intende per memoria associativa? Definire i criteri di progettazione della cache primaria e secondaria. Disegnare la struttura di DRAM sincrona di 1Kbyte. Dimensionare gli elementi. Cosa sono i segnali RAS e CAS? Perché sono stati introdotti?. Cos’è il refresh della memoria? Si applica alle memorie SRAM? E alle memorie DRAM? Motivare le risposte Cosa si intende per codice di controllo degli errori? Come funziona il codice di parità? Disegnare un possibile circuito di controllo degli errori ed un circuito di correzione degli stessi.

[3] Multiple issue statico e dinamico. Definizioni, punti deboli e punti di forza.

[4] Definire cos’è un hazard e cos’è uno stallo. Modificare la CPU in modo tale che riesca a gestire al meglio hazard che si possano verificare quando viene eseguita un’istruzione lw.

[4] Costruire un sommatore ad anticipatore di riporto per sottrazioni e somme su 4 bit. Calcolare la complessità ed il cammino critico.

[3] Definire cos’è un’eccezione ed un interrupt? Esiste una posizione preferenziale all’interno del ciclo di esecuzione per servire interrupt ed eccezioni? Cosa vuol dire servire un interrupt per un’architettura (descrivere a grandi linee)?



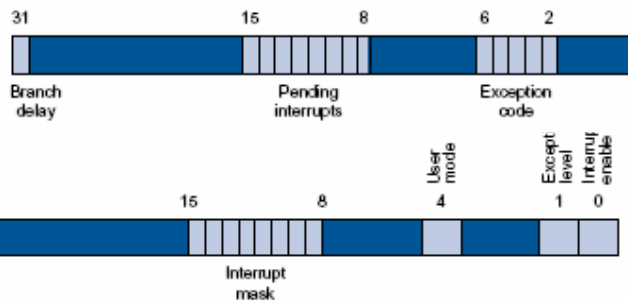
Register File

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	... (caller can clobber)	
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

Coprocessore 0

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.

Registro causa:



Registro stato:

Codici operativi

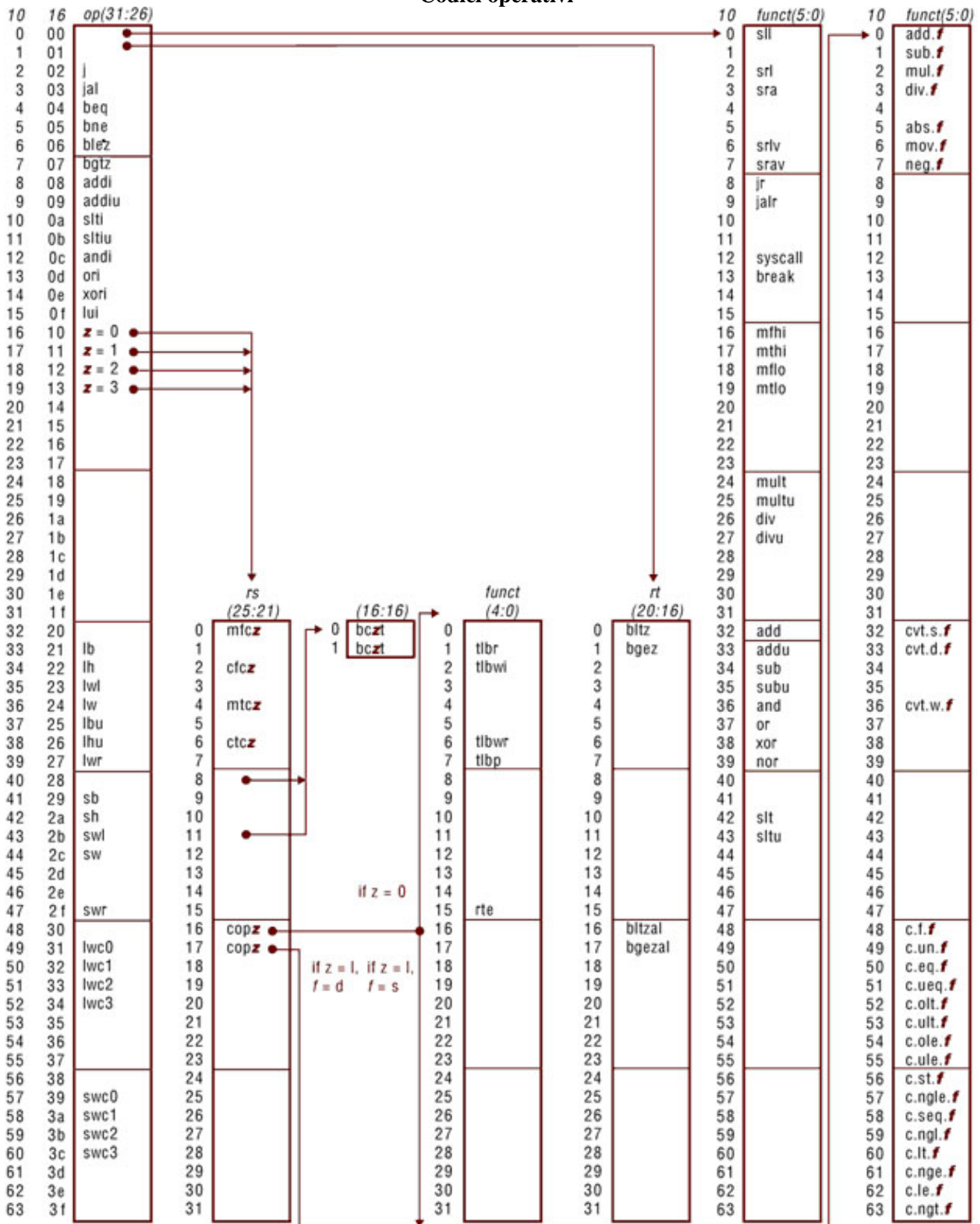


FIGURE A.19 MIPS opcode map. The values of each field are shown to its left. The first column shows the values in base 10 and the second shows base 16 for the op field (bits 31 to 26) in the third column. This op field completely specifies the MIPS operation except for 6 op values: 0, 1, 16, 17, 18, and 19. These operations are determined by other fields, identified by pointers. The last field (funct) uses “f” to mean “s” if rs = 16 and op = 17 or “d” if rs = 17 and op = 17. The second field (rs) uses “z” to mean “0”, “1”, “2”, or “3” if op = 16, 17, 18, or 19, respectively. If rs = 16, the operation is specified elsewhere: if z = 0, the operations are specified in the fourth field (bits 4 to 0); if z = 1, then the operations are in the last field with f = s. If rs = 17 and z = 1, then the operations are in the last field with f = d.

(page A-54)