

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2005-2006 – Appello del 10 Novembre 2006

1. [15] Data la CPU con pipeline nella pagina seguente:

a) Definire quando inizia l'esecuzione vera e propria di un'istruzione e da quali fasi è costituita [1].

b) Che cosa caratterizza una CPU con pipeline e qual è la funzione di ogni stadio? Quali sono le informazioni di input perché ciascuno stadio funzioni correttamente e quali informazioni produce in output? Dove si trovano le informazioni di input e dove vengono scritte le informazioni di output di ogni stadio? [2]

c) Dato il seguente segmento di codice:

```
sub $s0, $t1, $t2
addi $t2, $s2, 100
beq $t0, $t1, prima
sw $t2, 0($s0)
add $s3, $s3, $s3
```

Scrivere il contenuto di **tutti** i registri di pipe-line quando l'istruzione `add $s3, $s3, $s3` si trova al termine della fase di fetch [5]. I codici operativi sono: `sw`: 43, `beq`: 4, `addi`: 8, `add (funct)` 32, `sub (funct)` 34, `$t0 = $8`, `$s0 = $16`.

d) Definire cos'è un hazard e cos'è uno stallo. Identificare se nelle tre colonne riportate sotto, quali coppie di istruzioni generano un hazard e modificare la CPU riportata nella pagina seguente in modo tale che riesca a gestire al meglio questi hazard: [7]

<code>add \$t0, \$s0, \$t2.</code>	<code>addi \$s0, \$t0, 100</code>	<code>addi \$s0, \$t0, -100</code>
<code>lw \$s0, 0(\$t0)</code>	<code>lw \$s0, 0(\$t0)</code>	<code>sw \$t0, 0(\$s0)</code>

2. [6] Scrivere correttamente in linguaggio Assembly una procedura ricorsiva che calcoli il fattoriale di un numero N. Spiegare le convenzioni di utilizzo dei registri e la motivazione.

3. [7] Si consideri una memoria cache 2-associativa, in un'architettura con parole di 64 bit. La capacità della cache è di 16KByte complessivi e la dimensione della linea è di 8 parole.

Dimensionare la cache, definendo come viene partizionato l'indirizzo di memoria. Disegnare lo schema dettagliato di tale memoria con il circuito di lettura, esplicitando le dimensioni di tutti i segnali. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all'indirizzo di RAM: 0x80008888. Descrivere le strategie possibili per la scelta del banco per la scrittura di un blocco in cache, in memorie cache n-associative. Si discutano e si confrontino le caratteristiche delle diverse strategie. Definire secondo quali modalità viene mantenuta la coerenza tra contenuto di cache e di RAM.

4. [3] Scrivere nelle due forme canoniche la seguente funzione logica: $Y = (A!)(B!)(C) + (A + B)(C + D) + CD$

5. [4] Descrivere le principali strutture di bus ed almeno un meccanismo di controllo degli accessi. Definire una procedura di trasferimento dati su bus sincrono o asincrono.

