

[10] Disegnate una cache per un'architettura MIPS, a 4 vie di 4KByte per banco, e linee di 8 parole (per ciascun banco). Supponiamo che la parola sia costituita da 8 byte (architettura a 64 bit). Supponiamo anche che l'indirizzamento della memoria principale sia su 32 bit. Disegnare la porta di scrittura della cache definendo le linee dato e controllo, gli ingressi e le uscite per una singola cella di memoria della cache. Definire cosa rappresenta il campo TAG e dimensionarlo opportunamente. Supponiamo che all'inizio i bit di validità siano tutti a 0. Definire cosa succede in corrispondenza di questo frammento di codice (se si verifica una miss, una hit e dove vengono scritti / letti i dati della cache, quale indirizzo e quale tag vengono associati ad ogni istruzione):

```
sw $t0, 24($zero)
lw $t0, 64($zero)
lw $t0, 56($zero)
sw $t0, 56($zero)
sw $t0, 0($zero)
lw $t0, 24($zero)
lw $t0, 64($zero)
lw $t0, 128($zero)
lw $t0, 1024($zero)
```

DOMANDE

- [2] Perché sono state introdotte le gerarchie di memoria? Cos'è un hit e miss della memoria? Cosa comporta?
- [2] Cosa si intende per write through e write back? Quali vantaggi presenta ciascuna delle due modalità? Cosa si intende per coerenza (di una memoria)? Come si può garantire la coerenza della memoria? Cosa si intende per memoria associativa?
- [2] E' possibile per una memoria cache ad n-vie avere lo stesso TAG su linee diverse? E TAG uguali sulla stessa linea, su banchi diversi? E' possibile per una memoria cache completamente associativa avere lo stesso TAG su linee diverse? Motivare le risposte.
- [4] Disegnare la struttura di DRAM sincrona di 16Kbyte su un'architettura con parole di 32 bit. Dimensionare gli elementi. Cosa sono i segnali RAS e CAS? Perché sono stati introdotti? Come avviene la lettura e la scrittura della memoria? Come si fa ad aumentare il throughput di una memoria DRAM? Cos'è il refresh della memoria? Si applica alle memorie SRAM? E alle memorie DRAM? Motivare le risposte.
- [1] Descrivere la struttura di un disco magnetico. Quali sono i tempi che compongono il tempo di accesso?
- [2] Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Descrivere un protocollo di arbitraggio su bus a scelta.
- [3] Confrontare un bus e una rete. Quali sono le caratteristiche principali della rete? Definire e descrivere i 7 strati del modell ISO-OSI di descrizione della connessione alla rete.
- [2] Quali sono le caratteristiche principali delle architetture INTEL. Riportare almeno un esempio di istruzione e confrontarla con la o le istruzioni MIPS equivalenti.
- [1] Quali sono le caratteristiche principali di un'architettura nVidia che supporta CUDA? Confrontatela con le architetture MIPS.
- [5] Cosa si intende per pipeline superscalare? Descrivere i componenti principali di una pipeline superscalare. Cosa si intende per multiple issue statico e dinamico? Quali requisiti richiede ad una pipeline? Quali vincoli pone l'utilizzo della modalità di esecuzione multiple issue?