

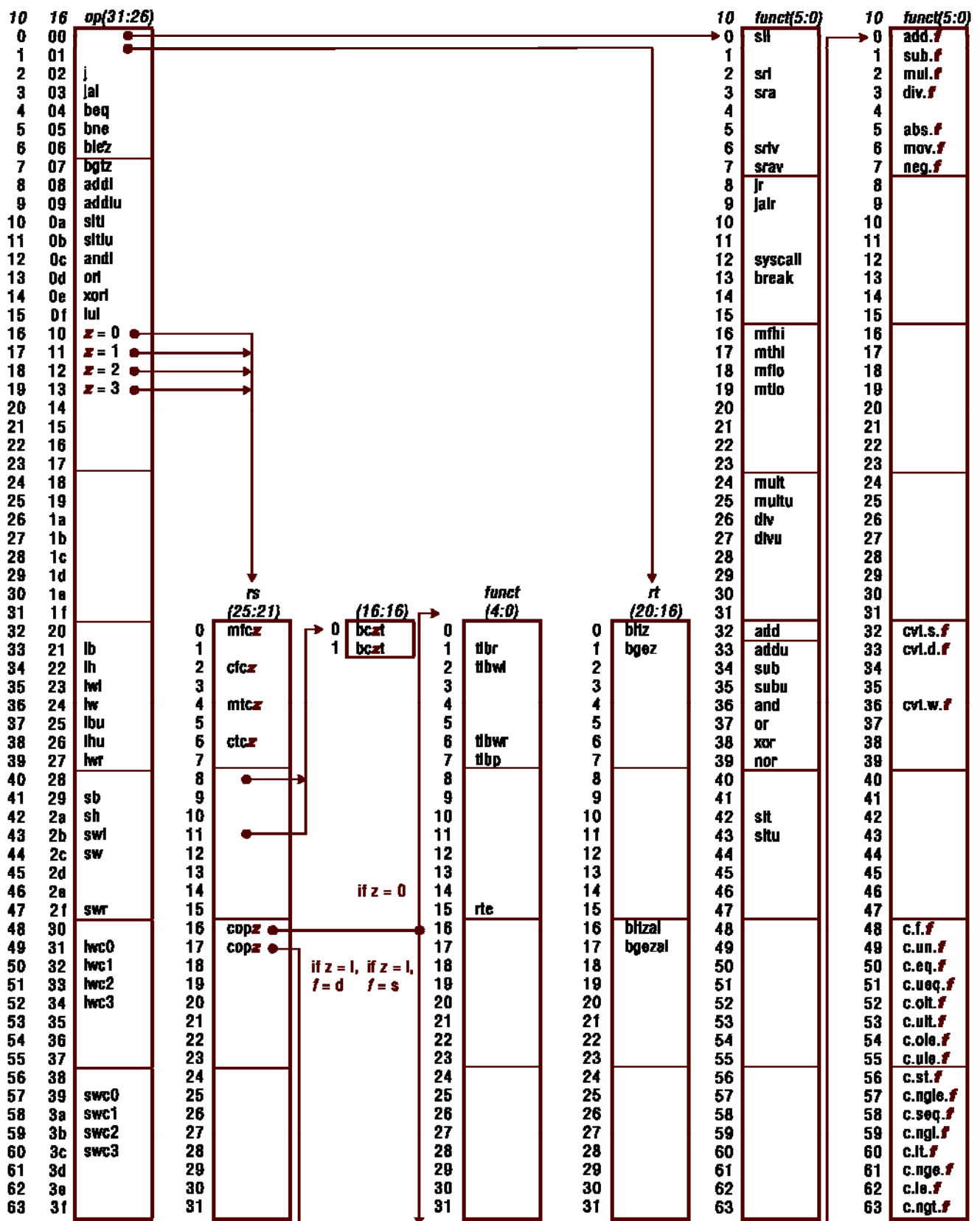
Cognome e nome dello studente:

Matricola:

Appello del 24 Gennaio 2008

1. [3] Cosa rappresenta un interrupt? E' corretto dire che la CPU si ferma fino a quando il programma di interrupt non termina? Come vengono gestiti eccezioni ed interrupt?
2. [18] Data l'architettura di cui sotto:
  - A. [6] Scrivere il contenuto dei registri di pipeline (l'uscita dei registri) durante l'esecuzione (fase di calcolo, EX) della lw in questo frammento di codice:

```
sub $t4, $t1, $t2
sub $t0, $s1, $s2
lw $s0, zero($s5)
add $s6, $t0, $s6
beq $s0, $s2, 100
```
  - B. [3] Ci sono hazard? Quali? Cos'è un hazard? Dare la definizione di stallo.
  - C. [6] Modificare la CPU riportata sotto, aggiungendo circuiti aggiuntivi adeguati in modo da risolvere gli hazard.
  - D. [3] Cosa è un branch prediction buffer? Come funziona? Si potrebbero gestire le criticità anche senza branch prediction buffer?
3. [6] Domande:
  - a) Cosa si intende per codifica "big endian" o "little endian" e mostrarne un esempio.
  - b). Definire quali sono i tempi da considerare per definire la frequenza di clock e perché.
  - c) Descrivere la tecnologia delle memorie DRAM e SRAM. Disegnare una cella di memoria per i due tipi di memorie. Cosa sono i segnali CAS e RAS? Descrivere un codice di parità. Quanti bit di overhead sono richiesti per identificare / correggere bit errati?
3. [5] Sintetizzare la funzione logica nella prima e seconda forma canonica associata alla seguente espressione logica. Dimostrare che le due forme canoniche sono equivalenti trasformando la prima forma canonica nella seconda:
$$Y = \neg A \neg B + A(\neg C) + B C$$
4. [4] Descrivere almeno tre modalità di misura delle prestazioni e sottolinearne i punti forti ed i punti deboli. Enunciare la legge di Amhdal e farne un esempio.



**FIGURE A.19 MIPS opcode map.** The values of each field are shown to its left. The first column shows the values in base 10 and the second shows base 16 for the op field (bits 31 to 26) in the third column. This op field completely specifies the MIPS operation except for 6 op values: 0, 1, 16, 17, 18, and 19. These operations are determined by other fields, identified by pointers. The last field (funct) uses “f” to mean “s” if rs = 16 and op = 17 or “d” if rs = 17 and op = 17. The second field (rs) uses “z” to mean “0”, “1”, “2”, or “3” if op = 16, 17, 18, or 19, respectively. If rs = 16, the operation is specified elsewhere: if z = 0, the operations are specified in the fourth field (bits 4 to 0); if z = 1, then the operations are in the last field with f = s. If rs = 17 and z = 1, then the operations are in the last field with f = d. (page A-54)

Number	Name	Cause of exception
0	Int	Interrupt (hardware)
4	AdEL	address error exception (load or instruction fetch)
5	AdES	address error exception (store)
6	IBE	bus error on instruction fetch
7	DBE	bus error on data load or store
8	Sys	syscall exception
9	Bp	breakpoint exception
10	RI	reserved instruction exception
11	CpU	coprocessor unimplemented
12	Ov	arithmetic overflow exception
13	Tr	trap
15	FPE	floating point

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	...	(caller can clobber)
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.

