

Cognome e nome dello studente:

Matricola:

A.A. 2005-2006 – Appello del 26 Febbraio 2007

1. [10] Definire cosa si intende per feed-forwarding e quali problemi vuole risolvere? Ha senso per un'istruzione di tipo Branch? Perché? [10] Data la CPU con pipeline nella pagina seguente, modificarla inserendo il circuito di controllo del feedforwarding. Sarà costituita da un circuito combinatorio o sequenziale? E' possibile sapere se ha senso definire dei mintermini ed eventualmente il numero massimo?
2. [2] Definire quando inizia l'esecuzione vera e propria di un'istruzione e da quali fasi è costituita. Definire cos'è un hazard e cos'è uno stallo.
3. [9] Scrivere correttamente in linguaggio Assembly una procedura ricorsiva che calcoli la seguente funzione:
$$\text{funct}(a,b) = a * \text{funct}(a-1, b) + b * \text{funct}(a, b-1), \text{ con } \text{funct}(a, *) = \text{funct}(b,*) = 1.$$

Spiegare le convenzioni di utilizzo dei registri e la motivazione.

4. [6] Definire l'architettura HW delle memorie SRAM e DRAM. Definire il ciclo di lettura / scrittura dei due tipi di memoria Cos'è la modalità burst? Perché le SRAM non funzionano in modalità burst?
5. [8] Si consideri una memoria cache 2-associativa, in un'architettura con parole di 64 bit. La capacità della cache è di 32KByte complessivi e la dimensione della linea è di 8 parole. Dimensionare la cache, definendo come viene partizionato l'indirizzo di memoria. Disegnare lo schema dettagliato di tale memoria con il circuito di lettura, esplicitando le dimensioni di tutti i segnali. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all'indirizzo di RAM: 0x40008888. Descrivere le strategie possibili per la scelta del banco per la scrittura di un blocco in cache, in memorie cache n-associative. Si discutano e si confrontino le caratteristiche delle diverse strategie. Definire secondo quali modalità viene mantenuta la coerenza tra contenuto di cache e di RAM.

