



# La pipeline

Prof. Alberto Borghese  
Dipartimento di Scienze dell'Informazione  
[borgnese@dsi.unimi.it](mailto:borgnese@dsi.unimi.it)

Università degli Studi di Milano

Riferimento al Patterson: 6 (fino a 6.2)



# Sommario

Introduzione sulla pipeline

Gli stadi della pipeline

Rappresentazione del flusso di esecuzione in una pipeline

La CPU con pipeline del MIPS



## Intuizione della pipeline

Anna, Bruno, Carla e Dario devono fare il bucato.

Devono lavare, asciugare, piegare e mettere  
via ciascuno un carico di biancheria  
(4 stadi per la lavorazione del bucato)



La lavatrice richiede 30 minuti.



L'asciugatrice richiede 30 minuti.



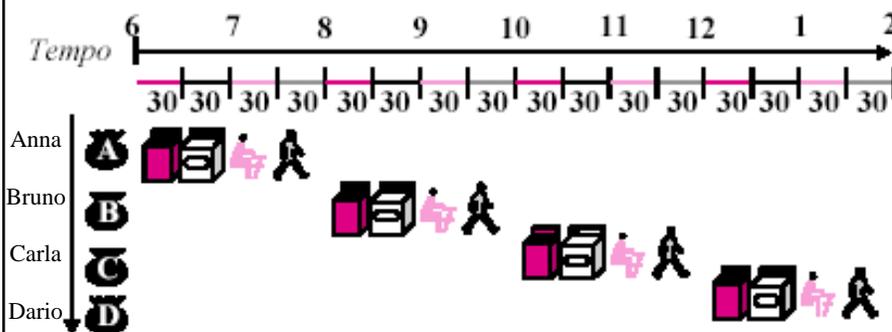
Stirare richiede 30 minuti.



Piegare e mettere via richiede 30 minuti.



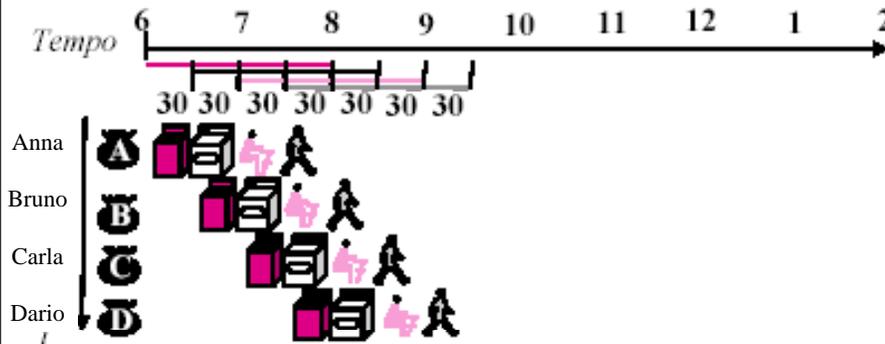
## La lavanderia sequenziale



In totale vengono richieste 8 ore.



## Lavanderia con pipeline



In totale vengono richieste 3.5 ore.



## Osservazioni sulla pipeline



Il tempo di ciascuna operazione elementare non viene ridotto.

Gli stadi della pipe-line lavorano in contemporanea perché utilizzano unità funzionali diverse.

Le unità funzionali lavorano sequenzialmente (in passi successivi) su istruzioni successive.

**Tutto** il materiale che serve per il passo successivo viene prelevato dal passo precedente.

***Viene aumentato il throughput.***



## Sommario



Introduzione sulla pipeline

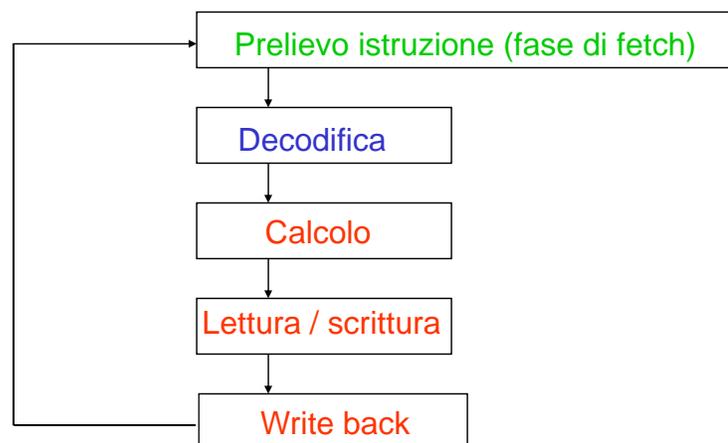
Gli stadi della pipeline

Rappresentazione del flusso di esecuzione in una pipeline

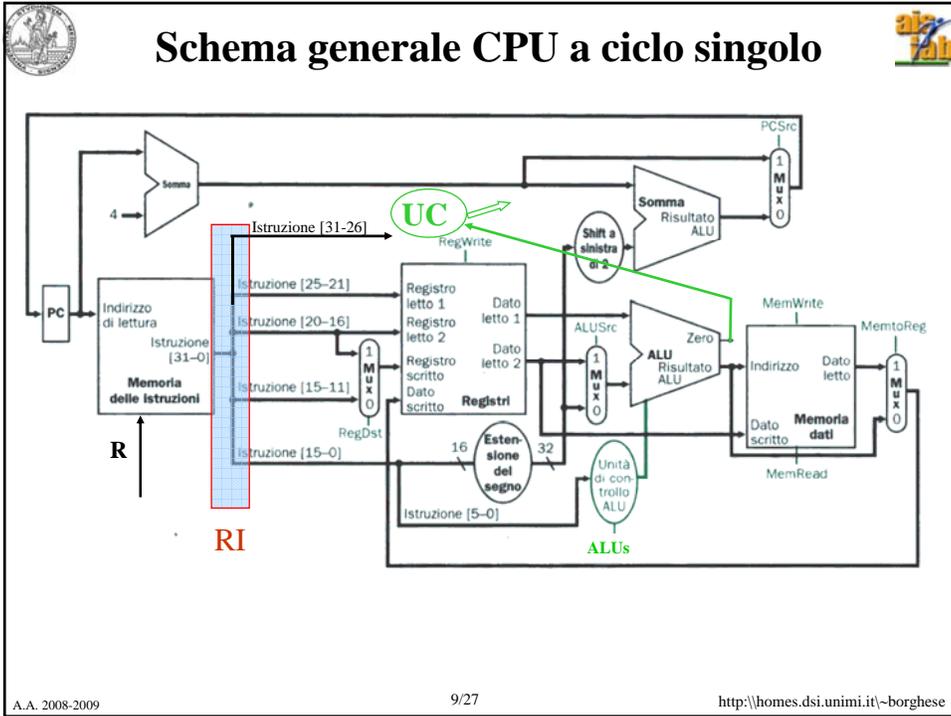
La CPU con pipeline del MIPS



## Ciclo di esecuzione di un'istruzione MIPS



Le istruzioni richiedono 5 passi → 5 stadi della pipe-line



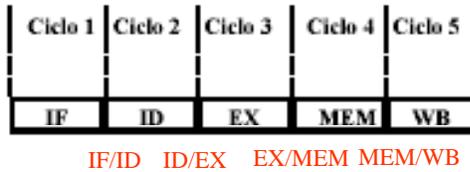
## Utilizzo unità funzionali della CPU

Passo esecuzione	ALU (+4)	ALU (Pc+Offset)	ALU	Memoria Dati	Memoria Istruz.	Register File
Fase fetch	Yes	NO	NO	NO	Yes	NO
Decodifica	NO	NO	NO	NO	NO	YesR
Calc – beq	NO	Yes	Yes (diff)	NO	NO	NO
Calc – j	NO	NO	NO	NO	NO	NO
Calc – R	NO	NO	Yes	NO	NO	NO
WB – R	NO	NO	NO	NO	NO	YesW
Calc – sw / lw	NO	NO	Yes	NO	NO	NO
Mem – sw	NO	NO	NO	YesW	NO	NO
Mem – lw	NO	NO	NO	YesR	NO	NO
WB – lw	NO	NO	NO	NO	NO	YesW

A.A. 2008-2009 10/27 http://homes.dsi.unimi.it/~borghese



## I 5 stadi della pipeline



Tra due cicli sono posti dei registri denominati **registri di pipe-line**.

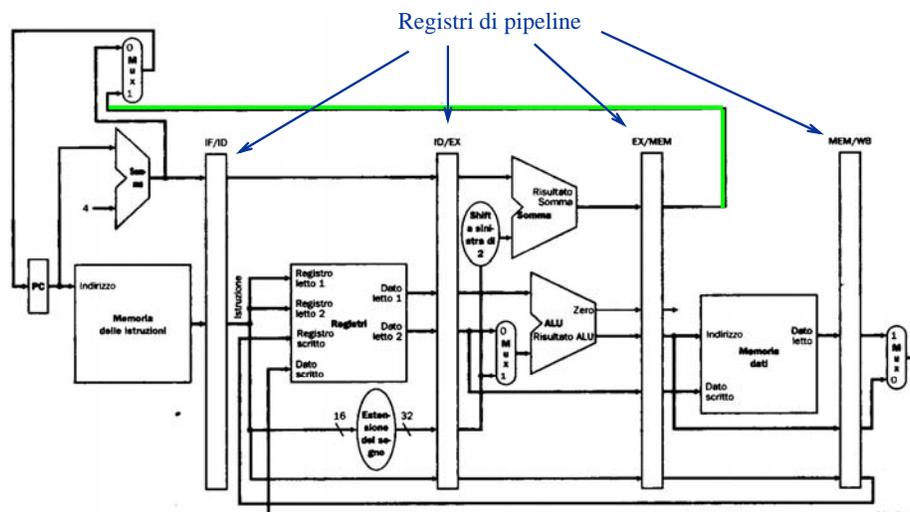
Nomi degli stadi di pipeline:

- IF: Prelievo istruzione (Instruction fetch)
- ID: Decodifica istruzione (+lettura register file)
- EX: Esecuzione
- MEM: Accesso a memoria (lettura/scrittura)
- WB: Scrittura del register file

NB Uno stadio inizia il suo lavoro quando il clock va basso e trasferisce in quello stadio l'elaborazione effettuata dallo stadio precedente



## CPU con pipeline





## Il ruolo dei registri



Ciascuno stadio produce un risultato. La parte di risultato che serve agli stadi successivi deve essere memorizzata in un registro.

Il registro mantiene l'informazione anche se lo stadio in questione riutilizza l'unità funzionale.

Esempio: l'istruzione letta viene salvata nel registro IF/ID (cf. Instruction Register).



## Sommario



Introduzione sulla pipeline

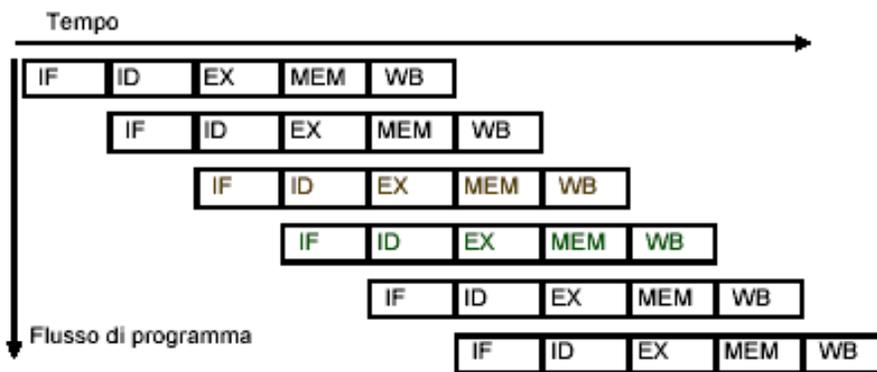
Gli stadi della pipeline

**Rappresentazione del flusso di esecuzione in una pipeline**

La CPU con pipeline del MIPS



## Rappresentazione convenzionale della pipeline



## MIPS e pipeline



Fase di fetch semplificata: tutte le istruzioni hanno la stessa lunghezza.

Numero ridotto di formati, i registri sono sempre nella stessa posizione (si può decodificare il codice operativo e leggere i registri).

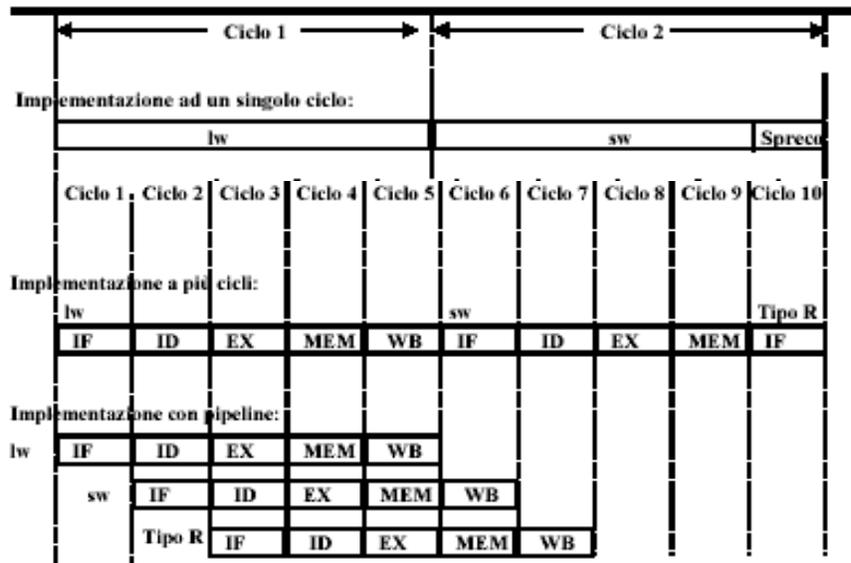
Non ci sono operazioni sui dati in memoria: se utilizzo la ALU per effettuare dei calcoli, non dovrò accedere alla memoria. Se utilizzo la ALU per calcolare l'indirizzo, accederò alla memoria nell'istante successivo.

Allineamento delle istruzioni al byte.

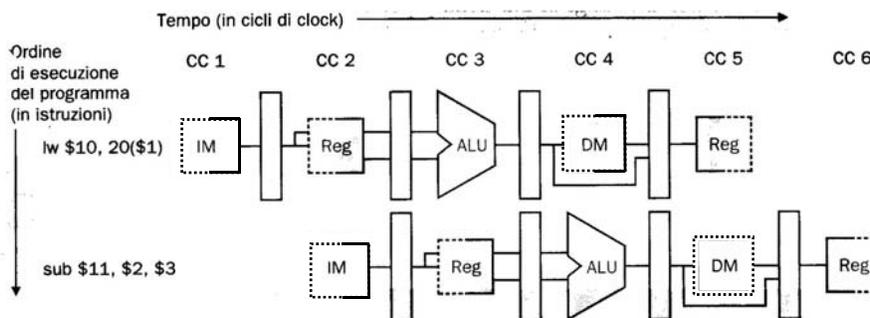
Su architetture CISC la pipeline sarebbe più complicata...., ma vedremo che le gerarchie di memoria aiutano a semplificare il problema.



## I vantaggi della pipeline



## Visualizzazione grafica di una pipeline

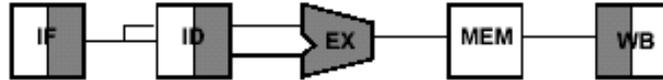




## Rappresentazione grafica di una istruzione di add in pipeline



Esempio: add \$s0, \$t0, \$t1



I rettangoli grigi a destra indicano lettura, a sinistra indicano scrittura. I componenti bianchi, indicano il loro non utilizzo.

Esempio: lw \$t0, 20(\$t1)

Esempio: sw \$s0, 20(\$s1)



## Esempio di esecuzione



Cosa si trova nella pipeline durante l'esecuzione di questo segmento di codice?

```
lw $s0, 20($s1)
sub $t0, $t1, $t2
add $t1, $t2, $t3
beq $s1, $s2, 20
sw $t2, 36($t3)
or $t6, $s0, $s1
```

NB Occorre specificare il contenuto della parte master e slave dei registri di pipeline.



## Utilizzo delle unità funzionali



Passo esecuzione	ALU (+4)	ALU (Pc+Offset)	ALU	Memoria Dati	Memoria Istruz.	Register File
FF - lw	Yes	NO	NO	NO	Yes	NO
FFsub + DEClw	Yes	NO	NO	NO	Yes	YesR
FFadd + DECsub + EXlw +	Yes	NO	Yes (base + offset)	NO	Yes	YesR
FFbeq + DECadd + EXsub + Mlw	Yes	NO	Yes	YesR	Yes	YesR
FFsw + DECbeq + EXadd + Msub + WBlw	Yes	NO	Yes	No	Yes	YesR + YesW
FFor + DECsw + EXbeq + Madd + WBsub	Yes	Yes	Yes	No	Yes	YesR + YesR
DECOr + EXsw + Mbeq + WBadd	NO	NO	Yes (base + offset)	NO	No	YesR



## Miglioramento delle prestazioni



Il miglioramento massimo è una riduzione del tempo di un fattore pari al numero di stadi della pipe-line.

Nell'esempio precedente (2 istruzioni di lw), il tempo richiesto con la pipe-line è di 12ns contro i 20ns senza pipe-line. Il miglioramento teorico, prevedrebbe 4ns. Allora?

Throughput!! Miglioramento relativo al lavoro globale (con pipe-line senza stalli, 2ns ad istruzione)



# Sommario



Introduzione sulla pipeline

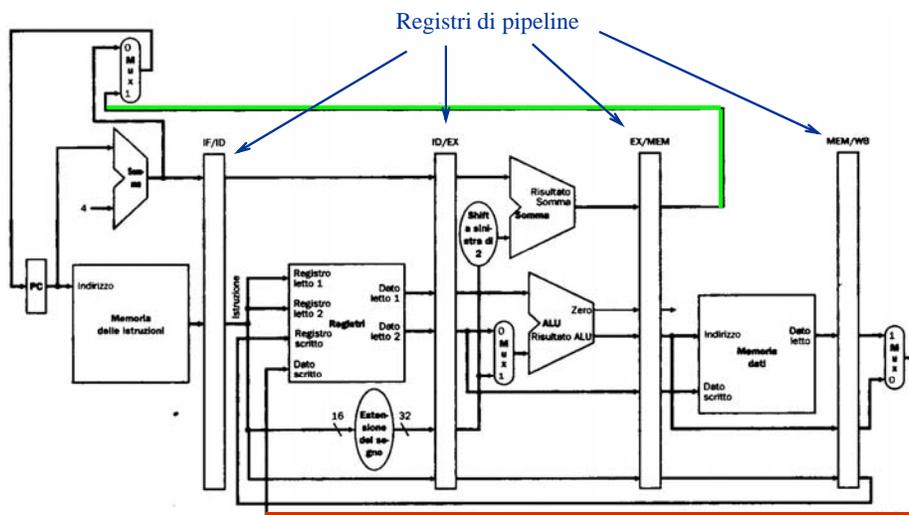
Gli stadi della pipeline

Rappresentazione del flusso di esecuzione in una pipeline

La CPU con pipeline del MIPS



# CPU con pipeline





## Gli stadi di esecuzione



IF – Instruction Fetch  
ID – Instruction Decode (e lettura register file)  
EX – Esecuzione o calcolo dell'indirizzo di memoria.  
MEM – Accesso alla memoria dati.  
WB – Write Back (scrittura del risultato nel register file).

NB: I registri al termine di ogni fase prendono il nome dalle 2 fasi:

IF/ID            ID/EX            EX/MEM            MEM/WB

Perchè non c'è un registro WB/IF?

Il data-path procede da sx a dx.

Da dx a sx si ha la scrittura del PC e la scrittura nel Register File che creano criticità (vanno contro-corrente).

Supponiamo che ciascuno stadio abbia la sua unità di controllo.



## Esempio di esecuzione



Cosa si trova nella pipeline durante l'esecuzione di questo segmento di codice?

```
lw $s0, 20($s1)
sub $t0, $t1, $t2
add $t1, $t2, $t3
beq $s1, $s2, 20
sw $t2, 36($t3)
or $t6, $s0, $s1
```

NB Occorre specificare il contenuto della parte master e slave dei registri di pipeline.



## Sommario



Introduzione sulla pipeline

Gli stadi della pipeline

Rappresentazione del flusso di esecuzione in una pipeline

La CPU con pipeline del MIPS