



Architetture degli elaboratori e reti

Introduzione



Prof. Alberto Borghese
Dipartimento di Scienze dell'Informazione
borgnese@dsi.unimi.it

Università degli Studi di Milano

Riferimento: Patterson, Cap. 1 (escluso 1.4).



Sommario della lezione



- **Architettura dell'elaboratore**
- Ciclo di esecuzione di un'istruzione
- Informazioni su corso ed esame
- Storia dell'elaboratore.



Obiettivo del corso



- Fornire i fondamenti per capire cosa succede dentro ad un elaboratore.
- Quali sono le problematiche e come viene elaborata l'informazione.
- Qual'è il linguaggio di un elaboratore (ISA) – programmazione in piccolo.
- **Analisi e progettazione.**



Obiettivo di un'architettura



Elabora in modo adeguato un input per produrre l'output.

- Le unità di *ingresso* (tastiera del terminale video, mouse o altri dispositivi grafici di ingresso, ecc.) permettono al calcolatore di acquisire informazioni dall'ambiente esterno.
- L'architettura di elaborazione.
- Le unità di *uscita* (monitor grafico del terminale video, stampanti, ecc.) consentono al calcolatore di comunicare i risultati ottenuti dall'elaborazione all'ambiente esterno.





Cosa fa un elaboratore?



- Algoritmi (sequenza di istruzioni).
Calcoli (calcolatore).
Operazioni logiche (elaboratore).
- Programma (Ada Lovelace, 1830) = *Algoritmi in Software*.

Come lo fa? *Hardware*.

Input ==> Elaborazione ==> Output

- Terza rivoluzione della nostra civiltà: la rivoluzione agricola, la rivoluzione industriale e la rivoluzione dell'informatica.



Operazioni elementari e codifica dell'informazione

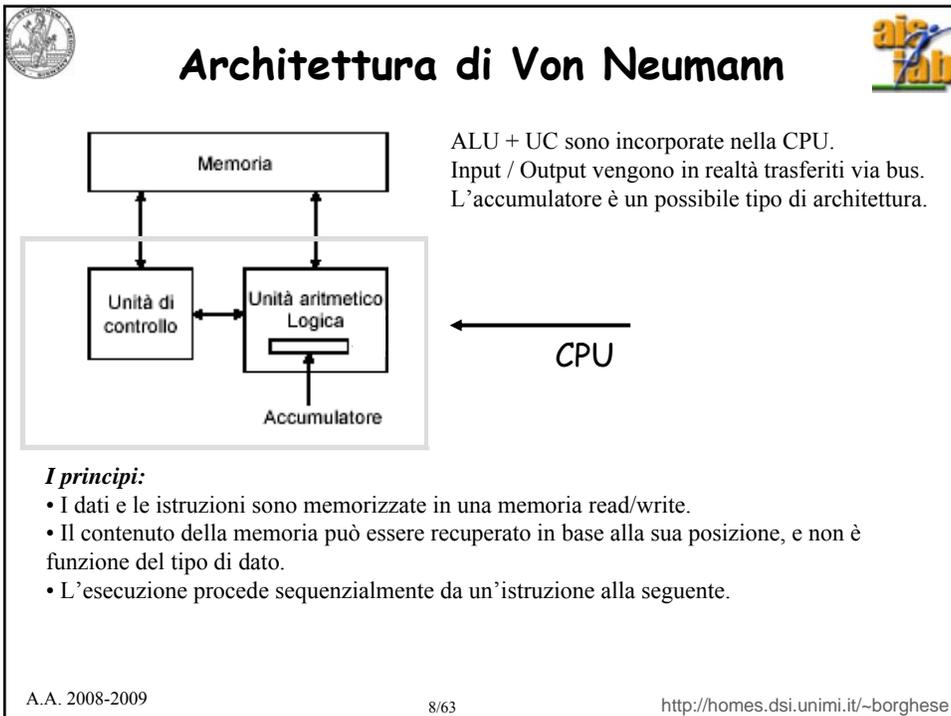
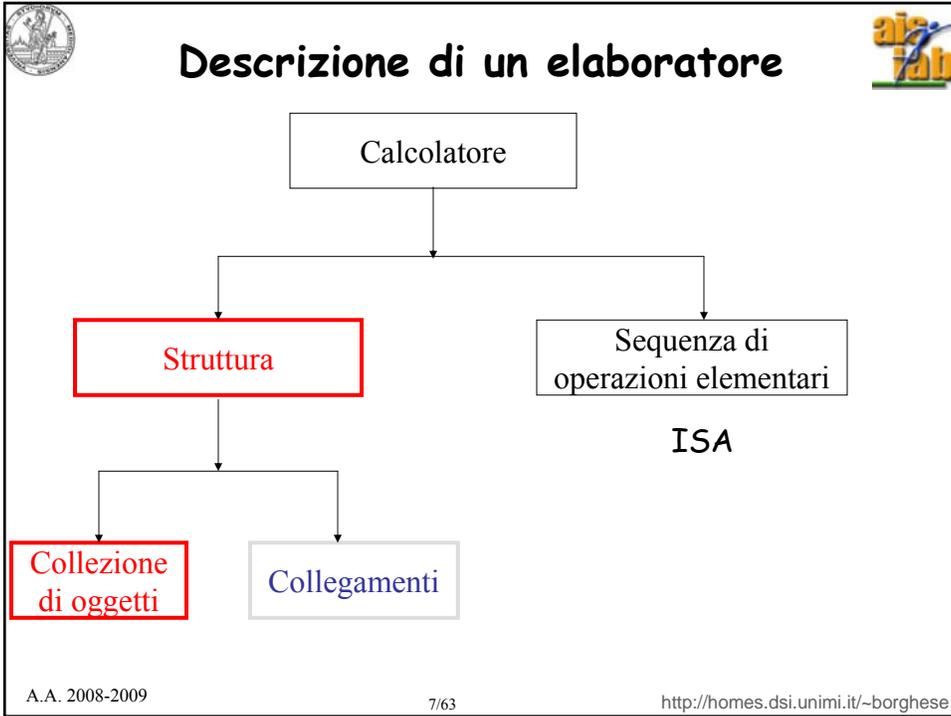


Operazioni elementari necessarie ad eseguire algoritmi:

- Calcolo (somma, sottrazione, prodotto...)
- Controllo del flusso (if, for...)

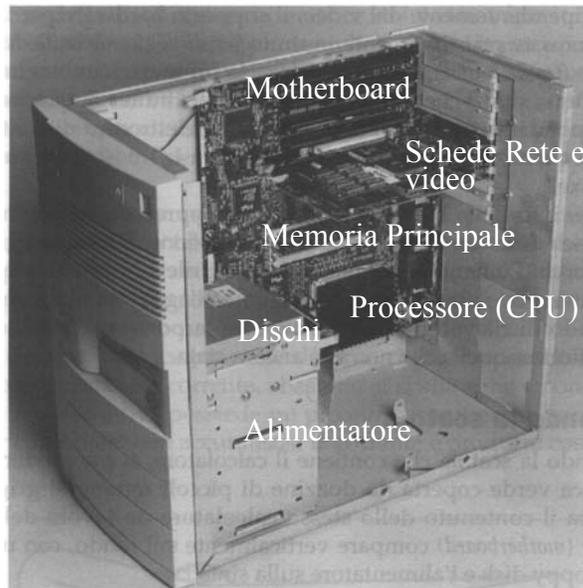
L'informazione viene rappresentata utilizzando solamente due simboli (base 2: 0,1 -> acceso, spento).

I calcoli ed i controlli sono eseguiti utilizzando **esclusivamente!** le 3 operazioni fondamentali della logica: AND, OR, NOT.





Struttura dell'elaboratore



A.A. 2008-2009

9/63

<http://homes.dsi.unimi.it/~borghese>



Struttura dell'elaboratore: descrizione



- Elementi principali di un elaboratore:
 - ◆ Unità centrale di elaborazione (*Central Processing Unit* - *CPU*) – IIIa parte del corso.
 - ◆ Memoria di lavoro o memoria principale (*Main Memory* - *MM*) e dischi (IVa parte del corso)
- Sulla motherboard: collegamenti principali di un calcolatore (IVa parte del corso):
 - ◆ Bus di sistema (dati, indirizzi, controllo)
 - ◆ Interfacce per i dispositivi di *Input/Output* - *I/O*: il terminale, la memoria di massa (di solito dischi magnetici), le stampanti, ...

A.A. 2008-2009

10/63

<http://homes.dsi.unimi.it/~borghese>



Unità centrale di elaborazione (*Central Processing Unit - CPU*)



- La *CPU* provvede ad eseguire le istruzioni che costituiscono i diversi programmi elaborati dal calcolatore.
- Eseguire un'istruzione vuol dire operare delle scelte, eseguire dei calcoli a seconda dell'istruzione e dei dati a disposizione.



Elementi principali della *CPU*



- Banco di registri (*Register File*) ad accesso rapido, in cui memorizzare i dati di utilizzo più frequente. Il tempo di accesso ai registri è circa 10 volte più veloce del tempo di accesso alla memoria principale. Il register file è evoluto in cache + registri.
- Registro *Program counter (PC)*. Contiene l'indirizzo dell'istruzione corrente da aggiornare durante l'evoluzione del programma, in modo da prelevare dalla memoria la corretta sequenza di istruzione;
- Registro *Instruction Register (IR)*. Contiene l'istruzione in corso di esecuzione.
- Unità per l'esecuzione delle operazioni aritmetico-logiche (*Arithmetic Logic Unit - ALU*). I dati forniti all'*ALU* possono provenire da registri oppure direttamente dalla memoria, a seconda delle modalità di indirizzamento previste;
- Unità aggiuntive per elaborazioni particolari come unità aritmetiche per dati in virgola mobile (*Floating Point Unit - FPU*), sommatore ausiliari, ecc.;
- **Unità di controllo**. Controlla il flusso e determina le operazioni di ciascun blocco.



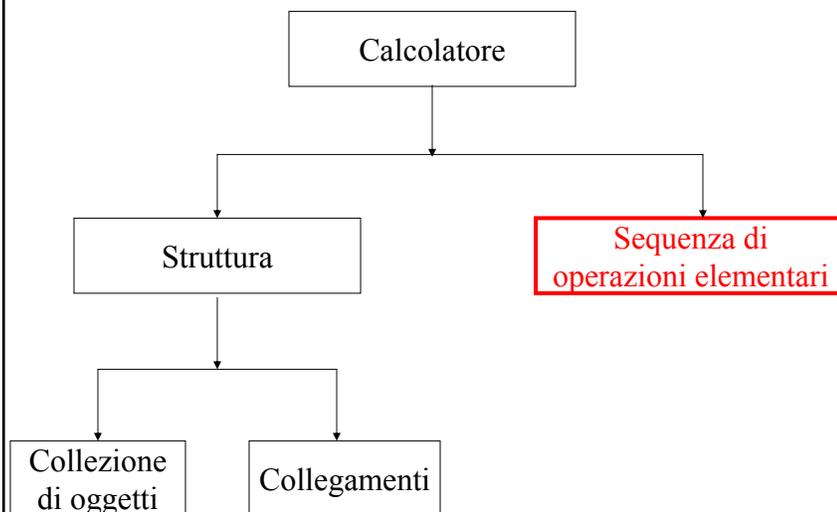
Sommario della lezione



- Architettura dell'elaboratore
- **Ciclo di esecuzione di un'istruzione**
- Informazioni su corso ed esame
- Storia dell'elaboratore.

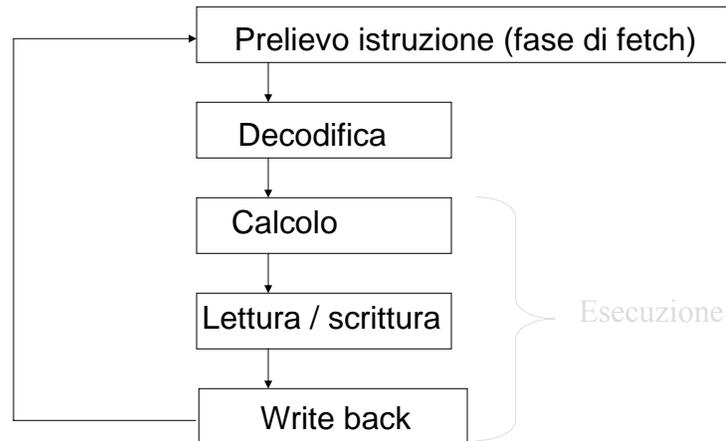


Descrizione di un elaboratore





Ciclo di esecuzione di un'istruzione MIPS



A.A. 2008-2009

15/63

<http://homes.dsi.unimi.it/~borghese>



Letture dell'istruzione (fetch)



- Istruzioni e dati risiedono nella memoria principale, dove sono stati caricati attraverso un'unità di ingresso.
- L'esecuzione di un programma inizia quando il registro PC punta alla prima istruzione del programma.
- Il segnale di controllo per la lettura (READ) viene inviato alla memoria.
- Trascorso il tempo necessario all'accesso in memoria, la parola indirizzata (in questo caso la prima istruzione del programma) viene letta dalla memoria e trasferita nel registro IR.
- Il contenuto del PC viene incrementato in modo da puntare all'istruzione successiva.

A.A. 2008-2009

16/63

<http://homes.dsi.unimi.it/~borghese>



Decodifica dell'istruzione



- L'istruzione contenuta nel registro IR viene decodificata per essere eseguita. Alla fase di decodifica corrisponde la predisposizione della CPU (apertura delle vie di comunicazione appropriate) all'esecuzione dell'istruzione.
- In questa fase vengono anche recuperati gli operandi. Nelle architetture MIPS gli operandi possono essere solamente nel Register File oppure letti dalla memoria.
 - ◆ Architetture a registri:
 - Se un operando risiede in memoria, deve essere prelevato caricando l'indirizzo dell'operando nel registro MAR della memoria e attivando un ciclo di READ della memoria.
 - L'operando letto dalla memoria viene posto nel registro della memoria MDR per essere trasferito alla ALU, che esegue l'operazione. Nelle architetture MIPS, l'operando viene trasferito nel Register file nella fase di Scrittura.
 - ◆ Architetture LOAD/STORE:
 - Le istruzioni di caricamento dalla memoria sono separate da quelle aritmetico/logiche.



Calcolo dell'istruzione



Viene selezionato il circuito / i circuiti combinatori appropriati per l'esecuzione delle operazioni previste dall'istruzione e determinate in fase di decodifica.

Tra le operazioni previste, c'è anche la formazione dell'indirizzo di memoria da cui leggere o su cui scrivere un dato.



Lettura / Scrittura in memoria



In questa fase il dato presente in un registro, viene scritto in memoria oppure viene letto dalla memoria un dato e trasferito ad un registro.

Questa fase non è richiesta da tutte le istruzioni!

Nel caso particolare di Architetture LOAD/STORE, quali MIPS, le istruzioni di caricamento dalla memoria sono separate da quelle aritmetico/logiche. Se effettuo una Lettura / Scrittura, **non** eseguo operazioni aritmetico logiche sui dati.

Sistema di memoria “sganciato” dalla coppia register-file + CPU.



Scrittura in register file (write-back)



- Il risultato dell'operazione può essere memorizzato nei registri ad uso generale oppure in memoria.
- Non appena è terminato il ciclo di esecuzione dell'istruzione corrente (termina la fase di Write Back), si preleva l'istruzione successiva dalla memoria.



Esempio ciclo di esecuzione



Somma: 0x80000 add \$s3, \$s2, \$s1

Fase di fetch: Caricamento dell'istruzione.

Decodifica: Preparazione della CPU a svolgere una somma.
Determinazione dei segnali di controllo.
Lettura degli operandi (che sono contenuti nei registri \$s2, \$s1).

Esecuzione: Esecuzione della somma.

R / W: Nulla

Write-back Scrittura del registro \$s3.



Sommario della lezione



- Architettura dell'elaboratore
- Ciclo di esecuzione di un'istruzione
- **Informazioni su corso ed esame**
- Storia dell'elaboratore.



Architetture I (12cfu)



Docente: Prof. N. Alberto Borghese: borghese@dsi.unimi.it

Esercitazioni: Dott. Massimo Marchi: marchi@dsi.unimi.it

Orario e aule:

Martedì	Ore 8.30-10.30	Aula V3, Via Venezian 15
Mercoledì	Ore 8.30-10.30	Aula V3, Via Venezian 15
Giovedì	Ore 10.30-12.30	Aula V1, Via Venezian 15
Venerdì	Ore 8.30-10.30	Aula V3, Via Venezian 15

Telefono: (02)503.16325

Orario di ricevimento: giovedì ore 16.30-17.30 presso ufficio DSI,
sede di Via Celoria, 20.

Strumento principale di contatto: email!

http://homes.dsi.unimi.it/~borghese/Teaching/Architetture/_Arch.html

A.A. 2008-2009

23/63

<http://homes.dsi.unimi.it/~borghese>



Programma



<http://homes.dsi.unimi.it/~borghese/Teaching/Architetture/Programma.htm>

4 blocchi principali:

- 1) Algebra booleana e funzioni logiche (25%).
- 2) ISA e Assembly (15%)
- 3) CPU (ALU ed Unità di Controllo) (35%)
- 4) Miscellanea: Memoria, dischi, bus e introduzione su Architetture INTEL (25%)

A.A. 2008-2009

24/63

<http://homes.dsi.unimi.it/~borghese>



Esame



Prova scritta + orale + **progetto**. Appelli ogni 1 / 2 / 3 mesi.

4 compitini in itinere durante l'anno sui 4 macro-blocchi (il primo compitino si svolgerà di sabato) + **progetto**.

I compitini sostituiscono interamente l'esame. Per superare l'esame con i compitini occorre avere preso almeno 17 in tutti i compitini e che la media dei 4 compitini sia ≥ 18 .

I compitini sono consigliati solo a chi frequenta.

Inoltre: Progetto Assembly. Ogni 4 mesi il testo viene cambiato, primo progetto: 1 Maggio 2009 – 31 Agosto 2009.



Materiale didattico



See web page

<http://homes.dsi.unimi.it/~borghese/Teaching/Architetture/References.rtf>

Testo di base:

"Computer Organization & Design: The Hardware / Software Interface", D.A. Patterson and J.L. Hennessy, Morgan Kaufmann Publishers, Third Edition, 2005.

Struttura e progetto dei calcolatori: l'interfaccia hardware-software, D.A. Patterson and J.L. Hennessy, seconda edizione, Zanichelli, 2006.

Testo di approfondimento per la parte di logica digitale:

"Progettazione digitale" F. Fummi, M.G. Sami, C. Silvano, McGrawHill. 2003.

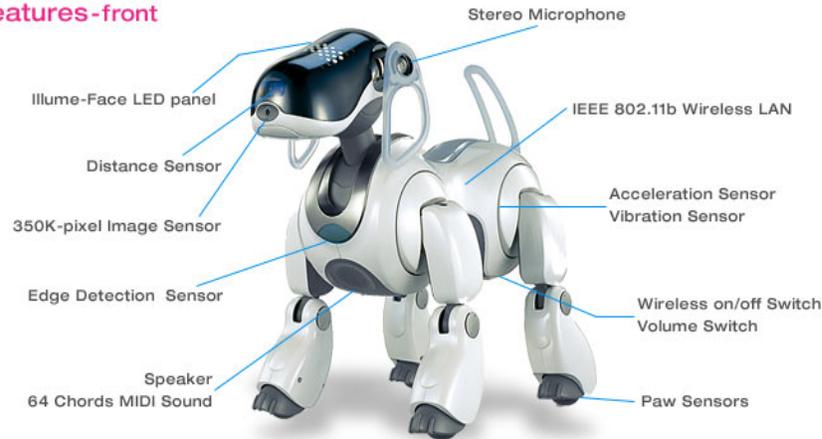


Architettura base del corso - MIPS



AIBO (Sony, 2003) - MIPS 7000.

► Features-front



A.A. 2008-2009

27/63

<http://homes.dsi.unimi.it/~borghese>



Architettura MIPS



- Architettura MIPS appartiene alla famiglia delle architetture **RISC (Reduced Instruction Set Computer)** sviluppate dal 1980 in poi
 - ◆ Esempi: Sun Sparc, HP PA-RISC, IBM Power PC, DEC Alpha, Silicon Graphics, AIBO-Sony.
- Principali obiettivi delle architetture RISC:
 - ◆ Semplificare la progettazione dell'hardware e del compilatore
 - ◆ Massimizzare le prestazioni
 - ◆ Minimizzare i costi

A.A. 2008-2009

28/63

<http://homes.dsi.unimi.it/~borghese>



Simulatore MIPS



- **SPIM: A MIPS R2000/R3000 Simulator :**
PCSPIM version 6.3

- <http://www.cs.wisc.edu/~larus/spim.html>

Oppure da:

- http://homes.dsi.unimi.it/~borghese/Teaching/Architettura/_Arch.html

- Piattaforme:

- ☞ Unix or Linux system
- ☞ Microsoft Windows
(Windows 95, 98, NT, 2000, XP)
- ☞ Microsoft DOS



Sommario della lezione



- Architettura dell'elaboratore
- Ciclo di esecuzione di un'istruzione
- Informazioni su corso ed esame
- **Storia dell'elaboratore.**



Storia dell'elaboratore



Filo conduttore:

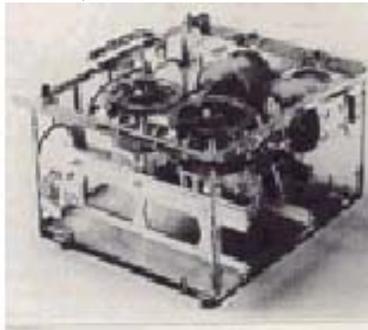
- Aumento della velocità di elaborazione
- Diminuzione della dimensione dei componenti.
- Aumento della capacità e velocità dell'I/O.



Storia dell'elaboratore (i primi passi)



- Abaco, Babilonesi, X secolo a.C.
- B. Pascal (Pascalina, somma e sottrazione).



- G. von Leibnitz (moltiplicazioni e divisioni).



Telaio Jacquard



Telaio Jacquard (1801)

- Programma di lavoro su schede
- Macchina dedicata (antesignana delle macchine CAM).



A.A. 2008-2009

33/63

<http://homes.dsi.unimi.it/~borgnese>

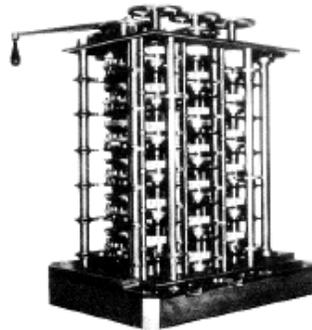


Charles Babbage



Charles Babbage

- Papà del calcolatore moderno.
- “Analytical Engine” i comandi erano a vapore!
- Utilizza il concetto di programma su (su schede) proposto da Ada Lovelace (1830).



A.A. 2008-2009

34/63

<http://homes.dsi.unimi.it/~borgnese>



Storia dell'elaboratore (1900-1940)



- H. Hollerith: Schede perforate a lettura elettromeccanica (relais).
Meccanismo più semplice di gestione del controllo.

Nel 1890, 46,804 macchine censirono 62,979,766 persone in pochi giorni. Il censimento precedente, del 1870, durò 7 anni!!

- T.J. Watson rilevò il brevetto e fondò l' IBM fondendo la società di Hollerith con altre piccole società (1932).
- Sviluppo di calcolatrici da tavolo meccaniche (diffusione nel commercio).
- Turing: "Universal Turing machine" (1936).



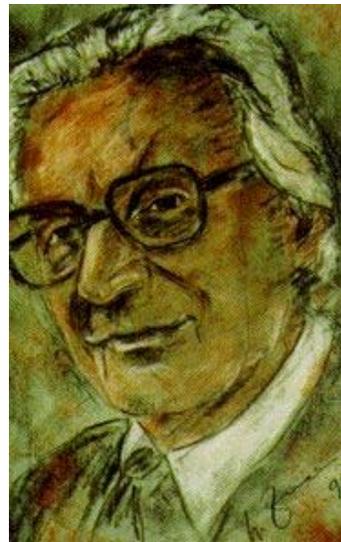
Il papà non riconosciuto



Konrad Zuse, 1936.

Z1 -> 1938

Z3 -> 1941



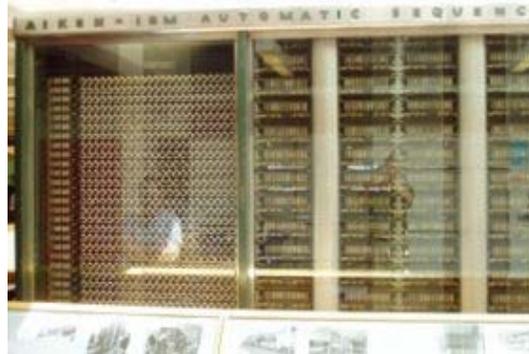
Auto-ritratto del 1994



Storia dell'elaboratore - Mark I



1944



Automatic Sequence Controlled Calculator - H. Aiken, IBM

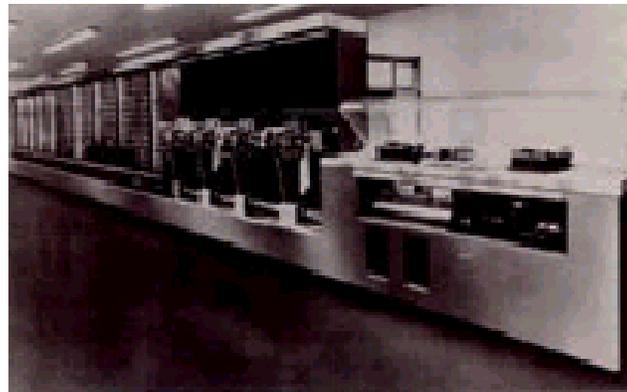
A.A. 2008-2009

37/63

<http://homes.dsi.unimi.it/~borghese>



Storia dell'elaboratore (IIa Guerra mondiale)



- ABC - Atanasoff Berry Computer (University of Iowa).

Ampio utilizzo di elettrovalvole.

Memoria rigenerativa (cancellabile e riscrivibile).

A.A. 2008-2009

38/63

<http://homes.dsi.unimi.it/~borghese>



La prima generazione (ENIAC: 1946-1955)

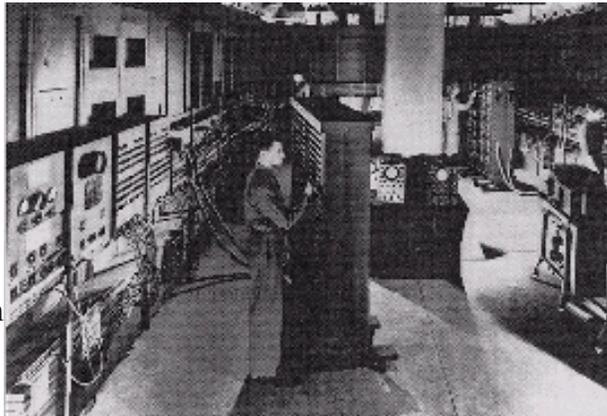


Elettronica (valvole: diodo, triodo). Aumento di prestazioni di 1,000 volte

- ENIAC (Electronic Numerical Integrator And Calculator), University of Pennsylvania.

Caratteristiche:

- 20 registri da 10 cifre.
- 18,000 valvole.
- 70,000 resistenze.
- 10,000 condensatori.
- 6,000 interruttori.
- Dimensioni: 30mx2.5m
- Consumo: 140kW.
- 100 operazioni/s.
- 30 tonnellate.



- Il programma veniva realizzato cambiando manualmente il cablaggio.



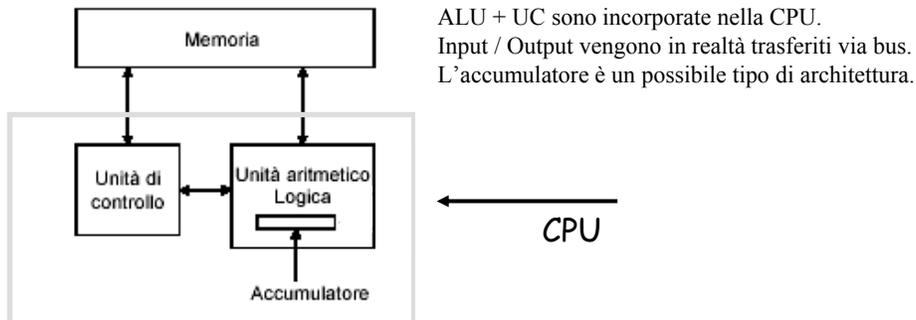
Defining characteristics of five early digital computers



Computer	First operation	Place	Decimal/Binary	Electronic	Programmable	Turing complete
<u>Zuse Z3</u>	May 1941	<u>Germany</u>	binary	No	By punched film stock	Yes (1998)
<u>Atanasoff-Berry Computer</u>	Summer 1941	<u>USA</u>	binary	Yes	No	No
<u>Colossus</u>	December 1943 / January 1944	<u>UK</u>	binary	Yes	Partially, by rewiring	No
Harvard Mark I – IBM ASCC	1944	<u>USA</u>	decimal	No	By punched paper tape	Yes (1998)
<u>ENIAC</u>	1944	<u>USA</u>	decimal	Yes	Partially, by rewiring	Yes
	1948	<u>USA</u>	decimal	Yes	By Function Table ROM	Yes



Architettura di Von Neumann



I principi:

- I dati e le istruzioni sono memorizzate in una memoria read/write.
- Il contenuto della memoria può essere recuperato in base alla sua posizione, e non è funzione del tipo di dato.
- L'esecuzione procede sequenzialmente da un'istruzione alla seguente.

A.A. 2008-2009

41/63

<http://homes.dsi.unimi.it/~borghese>

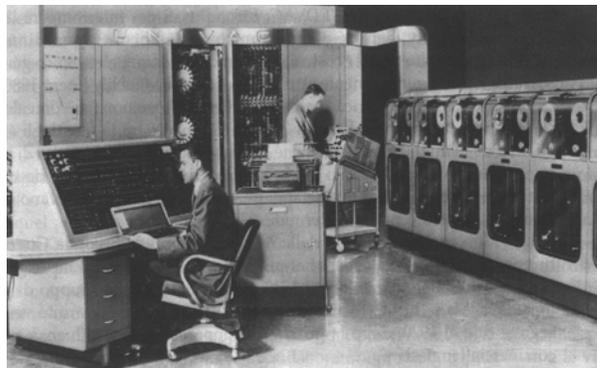


Eckbert & Mauchly



- EDVAC, Eckbert, Mauchly, **Von Neuman**. Moore school, Pennsylvania University. **Programma memorizzato.**
- EDSAC, Eckert, Cambridge, 1949, (=> Mark I, 1948).

- UNIVAC I
(Universal Automatic Computer) I (1951),
Eckbert e Mauchly.
E' il primo calcolatore commercializzato.



A.A. 2008-2009

42/63

<http://homes.dsi.unimi.it/~borghese>



IBM ed il processing gestionale



- Modello 701 – 1953 per calcolo scientifico.
- Modello 702 – 1955 per applicazioni gestionali.
- IBM704 - Memoria con nuclei di ferrite: 32,000 parole e velocità di commutazione di pochi microsecondi = qualche kHz).
- IBM709 nel 1958 - Introduzione del “canale” di I/O.
- Introduzione del Fortran (Formula Translator).



La seconda generazione (1952- 1963)



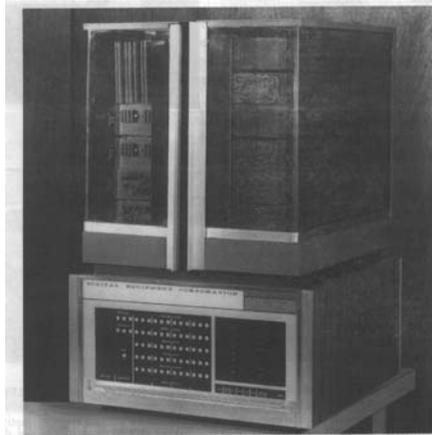
- Introduzione dell'elettronica allo stato solido.
- Introduzione delle memorie ferromagnetiche.
- IBM7000 – Transistor.
- CDC 6600 - Primo supercalcolatore. 1962.
- CDC 3600 - Multi-programmazione. 1963.
- Digital PDP-1.



La terza generazione (1964-1971)



- Introduzione dei circuiti integrati (LSI).
- IBM360 (1964) - Prima famiglia di calcolatori (architettura di calcolatori). Costo 360,000\$
Registri a 32 bit.
Clock 1-4Mhz.
- IBM 7094 (1962) Introduzione della formalizzazione del controllo di flusso.
- Digital PDP-8 (1965) - Il primo minicalcolatore.
Costo < 20,000\$.
- PDP-11 (1970).



53

<http://homes.dsi.unimi.it/~borghese>



La comunicazione tra i componenti

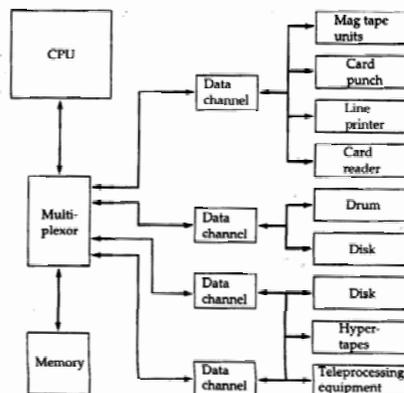


Figure 2.5 An IBM 7094 Configuration

Switch centralizzato (multiplexer) (cf. bridge)

Architettura a nodo comune (a bus) (cf. bus PCI)

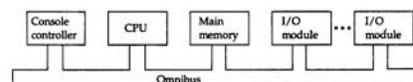


Figure 2.9 PDP-8 Bus Structure

A.A. 2008-2009

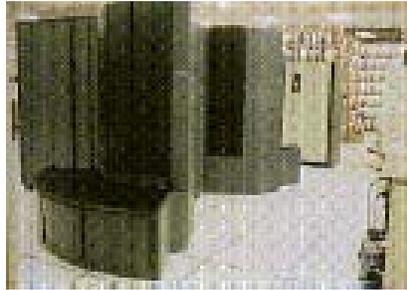
46/6:



La quarta generazione (1971-1977)



- Cray I (1976) - Primo supercalcolatore. Vettoriale (cf. SIMD)



A.A. 2008-2009

47/63

<http://homes.dsi.unimi.it/~borghese>



La quarta generazione (1971-1977)



- Introduzione del microprocessore (VLSI). Memorie a semiconduttori.
- Intel 4004 (1971) - 2,300 transistor. Sommatore a 4 bit. 16 registri a 4 bit + RAM + ROM -> Sistema MCS-4.
- Intel 8080 (1974) - 8bit su chip.

Xerox research laboratories & Steve Job

Primo Personal Computer:
MacIntosh II di Apple Computer
(1977).

Sistema operativo a finestre:
Lisa (1984), MacIntosh II, 1985.
Processore Motorola.
Costo medio 2,000\$.



A.A. 2008-2009

48/63

<http://homes.dsi.unimi.it/~borghese>



La quinta generazione (1978-2000)



- Il primo PC (1981) IBM
 - Sistema operativo DOS (Microsoft di Bill Gates).
 - Processore Intel 8086.
 - Windows 1.0 nel 1987.
 - Coprocessore Matematico Intel 8087.

La quinta generazione (1977-....)

- PC come Workstation
 - Potenziamento della grafica. Coprocessore grafico (acceleratori).
 - Multi-processori.
 - Introduzione di gerarchie di calcolo.
 - Processori RISC (Reduced Instruction Set Code).
 - MMU (Unità intelligenti per la gestione della memoria).
 - Pipe-line spinte (più di 1 istruzione per ogni ciclo di clock).

A.A. 2008-2009

49/63

<http://homes.dsi.unimi.it/~borghese>



La sesta generazione (il futuro)



- PC + telefono
- Wearable PC
- Co-processor on-board, specializzati per:
 - ricerca in data-base.
 - trattamento grafica (linguaggio grafico nVidia).
 - trattamento video.
- Macchine parallele (Play Station III utilizza il concetto di cellule di elaborazione).
- Macchine intelligenti e sensibili.
- Sistemi multimediali.

A.A. 2008-2009

50/63

<http://homes.dsi.unimi.it/~borghese>

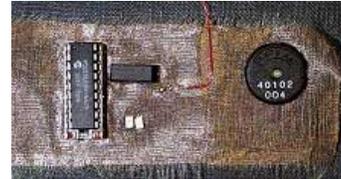


Alcuni esempi



E-textile

- Pervasive computing
- Dedicated architectures



Circuito con CPU stampato su stoffa



Computer palmare



Wrist-net
N3

A.A. 2008-2009

51/63

<http://homes.dsi.unimi.it/~borghese>



Le nuove architetture



- Attualmente la frequenza di clock limite è 4Ghz.
- Possibile soluzione è quella di microprocessori più piccoli e veloci.
- Strada di sviluppo a medio termine: multi-core processors.
 - ◆ Cell (IBM, Sony, Toshiba): 9-core microprocessors, 2006 (playstation 3, Sony).
 - ◆ Schede grafiche di ATI e Nvidia (dal 2000) → CUDA programming language
 - ◆ Settembre 2006. Prototipo Intel con 80 processori on single chip. Obiettivo è raggiungere 1,000,000 Mflops.
- **Come?**
 - ◆ **Parallelizzazione del codice. (e.g. RapidMind Development Platform).**
 - ◆ **Nuovo modo di ragionare durante la programmazione software.**
 - ◆ **Tool di aiuto.**
 - ◆ **Parallelizzazione automatica del codice è ancora molto lontana.**
 - ◆ **Problema principale è la coerenza dei dati.**

A.A. 2008-2009

52/63

<http://homes.dsi.unimi.it/~borghese>



Classificazione dei computer



- Mainframe.
Grandi dimensioni e potenza.
Multi-utenti.
Server.
- Supercomputer
 - Mainframe specializzati nel calcolo (vettoriale o parallelo).
- Mini.Computer
Piccoli mainframe.
- Microcomputer
 - PC - elaborazione personale.

A.A. 2008-2009

53/63

<http://homes.dsi.unimi.it/~borghese>



Confronti



Year	Name	Size (cu. ft.)	Power (watts)	Performance (adds/sec)	Memory (KB)	Price	Price-performance vs. UNIVAC	Adjusted price (2003 \$)	Adjusted price-performance vs. UNIVAC
1951	UNIVAC I	1,000	125,000	2,000	48	\$1,000,000	1	\$6,107,600	1
1964	IBM S/360 model 50	60	10,000	500,000	64	\$1,000,000	263	\$4,792,300	318
1965	PDP-8	8	500	330,000	4	\$16,000	10,855	\$75,390	13,135
1976	Cray-1	58	60,000	166,000,000	32,000	\$4,000,000	21,842	\$10,756,800	51,604
1981	IBM PC	1	150	240,000	256	\$3,000	42,105	\$5,461	154,673
1991	HP 9000/ model 750	2	500	50,000,000	16,384	\$7,400	3,556,188	\$9,401	16,122,356
1996	Intel PPro PC (200 MHz)	2	500	400,000,000	16,384	\$4,400	47,846,890	\$4,945	239,078,908
2003	Intel Pentium 4 PC (3.0 GHz)	2	500	6,000,000,000	262,144	\$1,600	1,875,000,000	\$1,600	11,452,000,000

In circa 18 mesi raddoppiano le prestazioni ed il numero di transistor e raddoppiano le capacità delle memorie (DRAM). **Legge di Moore**. La velocità di accesso alla memoria cresce molto più lentamente.

A.A. 2008-2009

54/63

<http://homes.dsi.unimi.it/~borghese>



Alcuni problemi



La velocità delle memorie non cresce con la velocità del processore.

Memorie gerarchiche – cache.

Aumento della parola di memoria.

high-speed bus (gerarchie di bus).

Tecniche di velocizzazione dell'elaborazione.

Predizione dei salti.

Scheduling ottimale delle istruzioni (analisi dei segmenti di codice).

Esecuzione speculativa.

Tecniche di I/O.

UDP.

Trasferimento in streaming (DMA).

Architetture dedicate alla grafica (GPU)



Caratteristiche comuni



Architettura di riferimento (Von Neuman)

Ciclo di esecuzione delle istruzioni



Evoluzione Intel - 1971-1979



	4004	8008	8080	8086	8088
Introduced	15 nov 71	1 Apr 72	1 Apr 74	8 Jun 76	6 Jan 79
Clock speed	108KHz	108KHz	2Mhz	5-10Mhz	5,8Mhz
Bus width	4 bit	8 bit	8 bit	16 bit	8 bit
Number of Transistors	2,300	3,500	6,000	29,000	29,000
Addressable Memory	640byte	16KByte	64 KByte	1MByte	1MByte
Virtual Memory	-	-	-	-	-
Observations	-	-	Altair. Ordini massicci.	-	Primo Personal Computer (Intel)

A.A. 2008-2009

57/63

<http://homes.dsi.unimi.it/~borghese>



Evoluzione Intel - 1980-1989



	80286	80386TM DX	80386TM SX	80486TN DX
Introduced	1 feb 82	17 Oct 85	16 Jun 88	10 Apr 89
Clock speed	6-12.5MHz	16-33MHz	16-33Mhz	25-50Mhz
Bus width	16 bit	32 bit	16 bit	32 bit
Number of Transistors	134,000	275,000	275,000	1,200,000
Addressable Memory	16Mbyte	4GByte	4GByte	4GByte
Virtual Memory	1GByte	64TByte	64TByte	64TByte
Observations	15 milioni di PC in 6 anni.	Multi-tasking	64TByte	Co-processore nella CPU.

A.A. 2008-2009

58/63

<http://homes.dsi.unimi.it/~borghese>



Evoluzione Intel - 1990-1999



	80486TM SX	Pentium	Pentium Pro	Pentium II
Introduced	22 Apr 91	22 Mar 93	1 Nov 95	7 May 97
Clock speed	6-133MHz	60-166MHz	150-200Mhz	200-300Mhz
Bus width	32 bit	32 bit	64 bit	64 bit
Number of Transistors	1,185,000	3,100,000	5,500,000	7,500,000
Addressable Memory	4Gbyte	4GByte	64GByte	64GByte
Virtual Memory	64TByte	64TByte	64TByte	64TByte
Observations		Pipelining spinto	2 livelli di cache	MMX: memorie ad alta velocità

A.A. 2008-2009

59/63

<http://homes.dsi.unimi.it/~borgnese>



Evoluzione Intel - 2000-2001



	Pentium III	Pentium IV	Pentium III Xeon
Introduced	26 Feb 99	Nov 2000	2001
Clock speed	450-660MHz	1.3-1.8Ghz	2-3.2Ghz
Bus width	64 bit	64 bit	64 bit
Number of Transistors	9,500,000	42,000,000	na
Addressable Memory	64Gbyte	64GByte	64GByte
Virtual Memory	64TByte	64TByte	64TByte
Observations	SIMD	2 livelli di cache	Architettura di bus: NetBurst

A.A. 2008-2009

60/63

<http://homes.dsi.unimi.it/~borgnese>



Evoluzione Intel - 2002-



	Itanium	Itanium 2	Pentium M
Introduced	2002	2002	2003
Clock speed	800MHz	1.3-1.5GHz	1.3-1.7GHz
Bus width	64 bit		64 bit
Number of Transistors	na		42,000,000
Addressable Memory	16Gbyte		64GByte
Virtual Memory	64TByte		64TByte
Observations	EPIC - 64 bit	6.4GByte/s su Bus di sistema	Centrino Architecture Very low power

http://www.intel.com/intel/intelis/museum/exhibits/hist_micro/hof/index.htm

A.A. 2008-2009

61/63

<http://homes.dsi.unimi.it/~borgnese>



Dal primo calcolatore ad oggi



- ~1940: primi computer
- tecnologia: tubi a vuoto (18.000)
- dimensioni: una stanza, 30x2 metri...
- velocità: ~100 addizioni al secondo
- memoria: 20 registri capaci di contenere numeri a 10 cifre

- 2004: Personal PC
- tecnologia: transistor e VLSI
- dimensioni: il mio notebook
- velocità: 4.000.000.000 addizioni al secondo su 64 bit.
- frequenza di clock maggiore di 4 GHz (per 32 bit)
- memoria: 256 MB - 4 GB
- dischi: > 60Gbyte.

A.A. 2008-2009

62/63

<http://homes.dsi.unimi.it/~borgnese>



Sommario della lezione



- Architettura dell'elaboratore
- Ciclo di esecuzione di un'istruzione
- Informazioni su corso ed esame
- Storia dell'elaboratore.