

Cognome e nome dello studente:

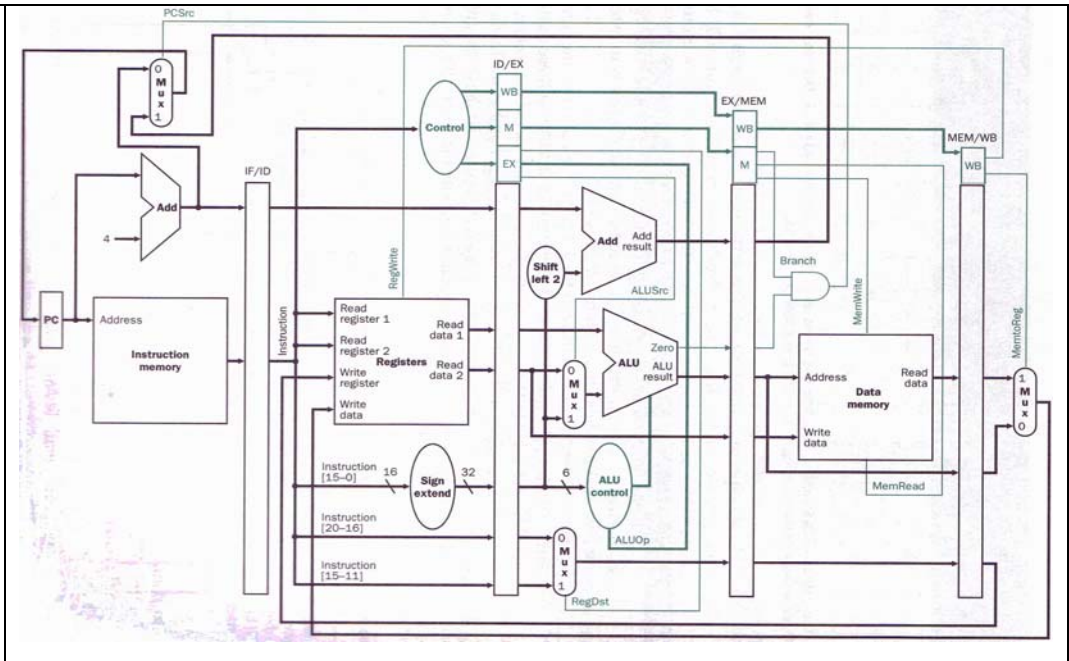
Matricola:

Anno di corso e turno:

A.A. 2004-2005 – Appello del 22 Novembre 2005

1. [11] Evidenziare, nello schema di CPU sottostante, i valori (istruzioni, dati, segnali di controllo) che si presentano all'uscita di ogni registro di pipeline, supponendo che la CPU stia decodificando l'istruzione: **lw \$5, 0(\$20)**, all'interno del frammento di programma seguente [8]:

```
add $20,$20,$19
add $23,$19,$13
lw $5, 0($20)
beq $25,$24,44
jr $31
```



Dire se nel frammento di codice precedente ci sono Hazard, darne la motivazione ed eventualmente suggerire come deve essere modificata la CPU. Cosa si intende per CPU super-scalare e cosa sono i "reorder buffer?" [4].

2. [3] Disegnare lo schema circuitale di un decoder a 3 ingressi e definire la funzione uscita come espressione logica degli ingressi.
3. [3] Si definiscono i passo necessari per progettare e realizzare una macchina a stati finiti.
4. [7] Si traduca in linguaggio Assembly MIPS la seguente procedura:

```
int Compute( unsigned int b, unsigned int e )
{
    int s;
    if( e > 0 )
        t = Compute( b, e-1 );
        s = b + t * 3;
    else
        s = 1;
    return( s );
}
```

NB Si osservi la convenzione di utilizzo dei registri MIPS.

5. [4] Prestazioni. Descrivere una modalità di misura delle prestazioni e sottolinearne i punti forti ed i punti deboli. Enunciare la legge di Amhdal e farne un esempio.
6. [3] Arbitraggio. Cosa si intende per arbitraggio del bus? Descrivere i tre schemi di arbitraggio del bus visti a lezione.
7. [3] Periferiche. Descrivere la struttura dei dischi magnetici e definire i tempi caratteristici [2]. Definire alcune caratteristiche del bus firewire. Ruolo dei bridge [2].