Università degli Studi di Milano - Corso Architettura degli elaboratori e delle reti – Turno 1 - Prof. Borghese

Cognome e nome dello studente:

Matricola: ***Anno di corso e turno:***

A.A. 2002-2003 – Prova d'esame del 17 novembre 2003

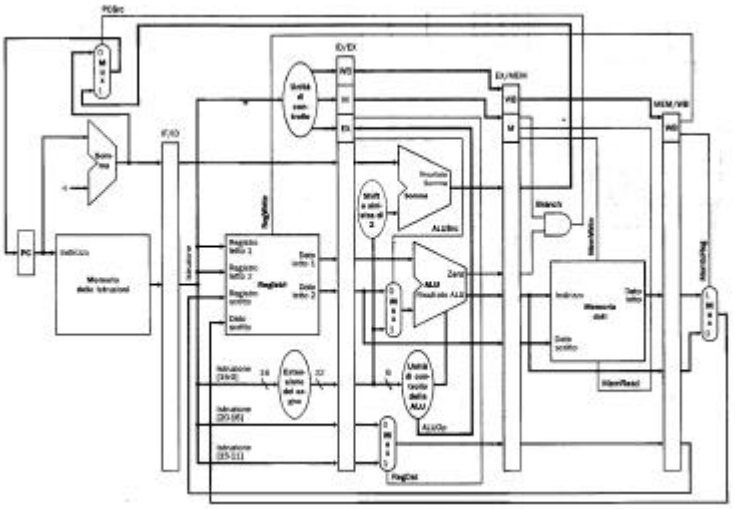
1. Codifica numeri in virgola mobile [3].
Scrivere in notazione IEEE754 il numero -11,0625.

2. Assembly e linguaggio macchina [5].
Tradurre il linguaggio Assembly [2] ed in linguaggio macchina [3] il seguente frammento di codice:

```
t3 = t1 + t0
s0 = vett[t2];
s1 = s0 + t1
if (t3 == s3)
        goto fine;
istruzione
istruzione
istruzione
fine:
```

Facendo riferimento a: **lw** 24H rs rt offset, **beq** 4H rs rt offset, **j** 2H label, **add** 0H rs rt rd 0H 20H.
E ricordando che nel processore MIPS i registri: $zero, $at, $s0, $s1, $s2, $s3, $s4, $t0, $t1 corrispondono rispettivamente ai registri $0, $1, $16, $17, $18, $19, $20, $8, $9.

3. Gestione hazard [6].
Facendo riferimento alla CPU con Pipe-line, qui a fianco, disegnare le modifiche necessarie per eseguire correttamente il frammento di codice precedente.



4. Moltiplicazione [4].
Disegnare il circuito **Hardware** (non firmware!) della moltiplicazione per moltiplicandi di 4 bit.

5. ALU [7].
- Disegnare lo schema ad alto livello di una ALU a 32 bit, mettendo in evidenza le linee di ingresso ed uscita [1].
- Disegnare la circuiteria interna della ALU per:
- un bit intermedio [2].
- il bit più significativo [2].
- il bit meno significativo [2].

Supponendo che la ALU consenta le operazioni: somma, sottrazione, maggiore di, and e or.

6. Cache n-associativa [9].
- Disegnare una cache a 2 vie di 8 elementi di 4 parole ciascuno [3].
- Individuare la posizione in cui viene scritto in cache il byte 121 [4].
- Disegnare il circuito di lettura della cache di cui sopra. [2].