

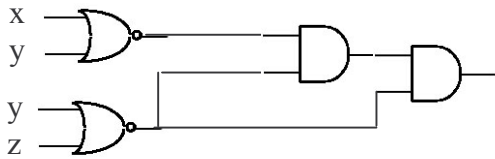
Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2002-2003 – Prova d'esame del 21 luglio 2003

1. Dato il circuito digitale, calcolare la funzione implementata e dire se (!x) (!y) ne è un mintermine [3+1].



Dare la definizione di cammino critico e calcolarlo per il circuito di cui sopra.

2. Disegnare un sommatore su 4 bit, con anticipazione di riporto [3].

3. Sintetizzare (STG) la macchina a stati finiti che controlla la CPU multi-ciclo riportata qui a fianco. [6]. Qual è il contenuto significativo dei registri e quali sono i segnali attivi nel quarto ciclo di esecuzione dell'istruzione add \$s0, \$s1, \$s2? [2]

4. Tradurre in linguaggio macchina le seguenti istruzioni assembly:

sw \$t0, 4(\$s3)	56
bne \$t0, \$zero, L2	60
j L3	64
.....	
L2: j L3	80:
.....	
L3:	108:

Facendo riferimento a: sw 0x26 rs rt offset, bne 0x5 rs rt offsetj 0x2 label.

E ricordando che nel processore MIPS i registri: \$zero, \$at, \$s0, \$s1, \$s2, \$s3, \$s4, \$t0, \$t1 corrispondono rispettivamente ai registri \$0, \$1, \$16, \$17, \$18, \$19, \$20, \$8, \$9. [3].

5. Facendo riferimento alla CPU con Pipe-line, qui a fianco, disegnare le modifiche necessarie per gestire la seguente coppia di istruzioni:

lw \$t0, 4(\$t1)  
add \$s0, \$s0, \$t0.

Definire cosa si intende per stallo e come lo stallo venga implementato dall'architettura MIPS [6+3].

6 Si consideri un calcolatore con una frequenza di clock pari a 1 Ghz. Dobbiamo valutare se sia conveniente un trasferimento DMA o mediante interrupt da un dispositivo I/O con le seguenti caratteristiche:

- Quantità di dati da trasferire: 2Mbyte.
- Quantità trasferita a controllo di programma: 1 parola (4 byte)
- Numero di cicli di clock per gestire l'interrupt: 500.
- Numero di cicli di clock per la gestione del controller DMA: 2000 (inizializzazione + terminazione)
- Numero di parole trasferite in DMA: 20. [3]

7. Gestione di un link in modalità circuit switching [1].

8. Disegnare lo schema di interfacciamento delle periferiche sul bus, nel caso di arbitraggio del bus in daisy chain e con arbitro centrale con priorità [3].

