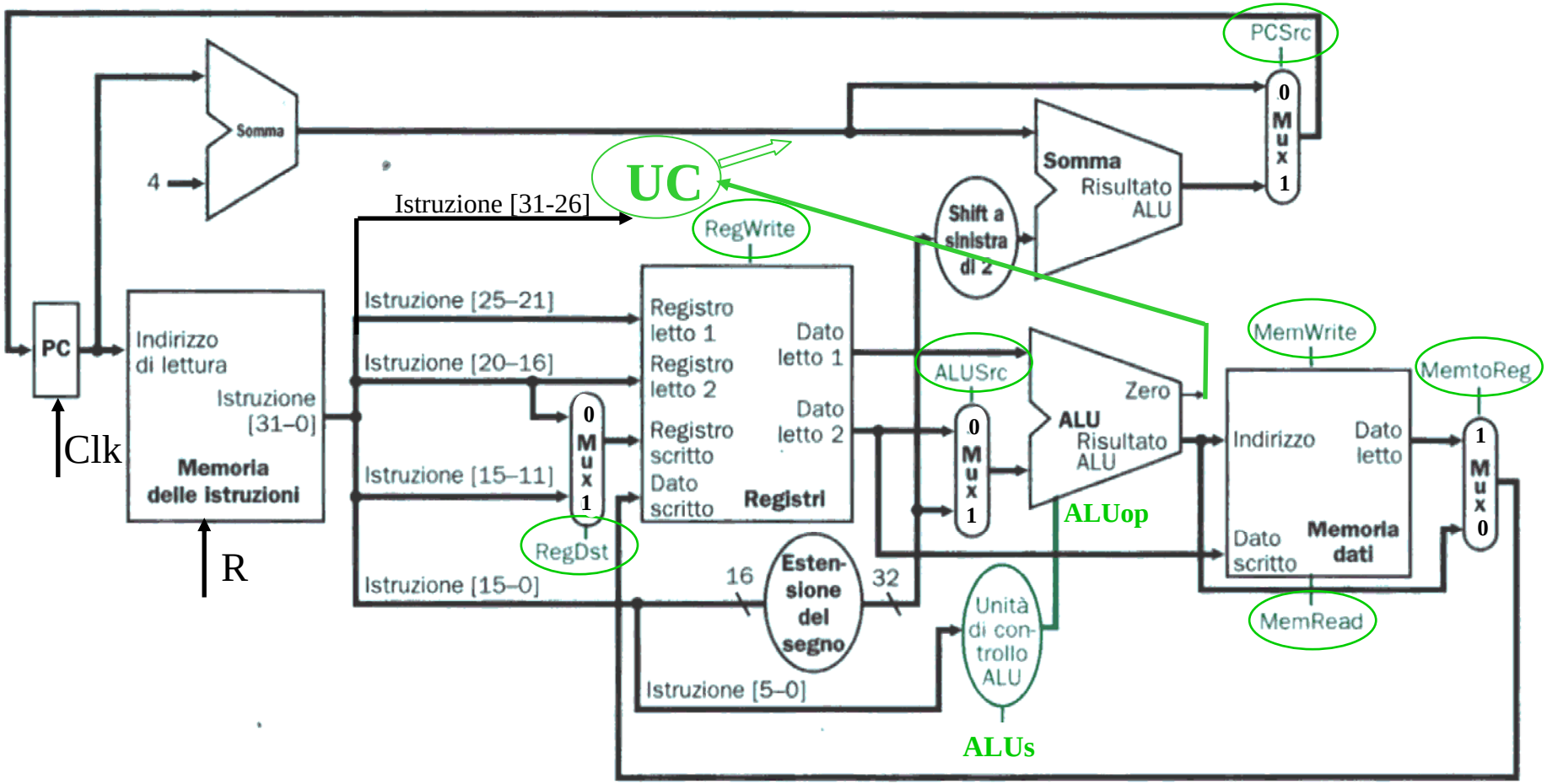
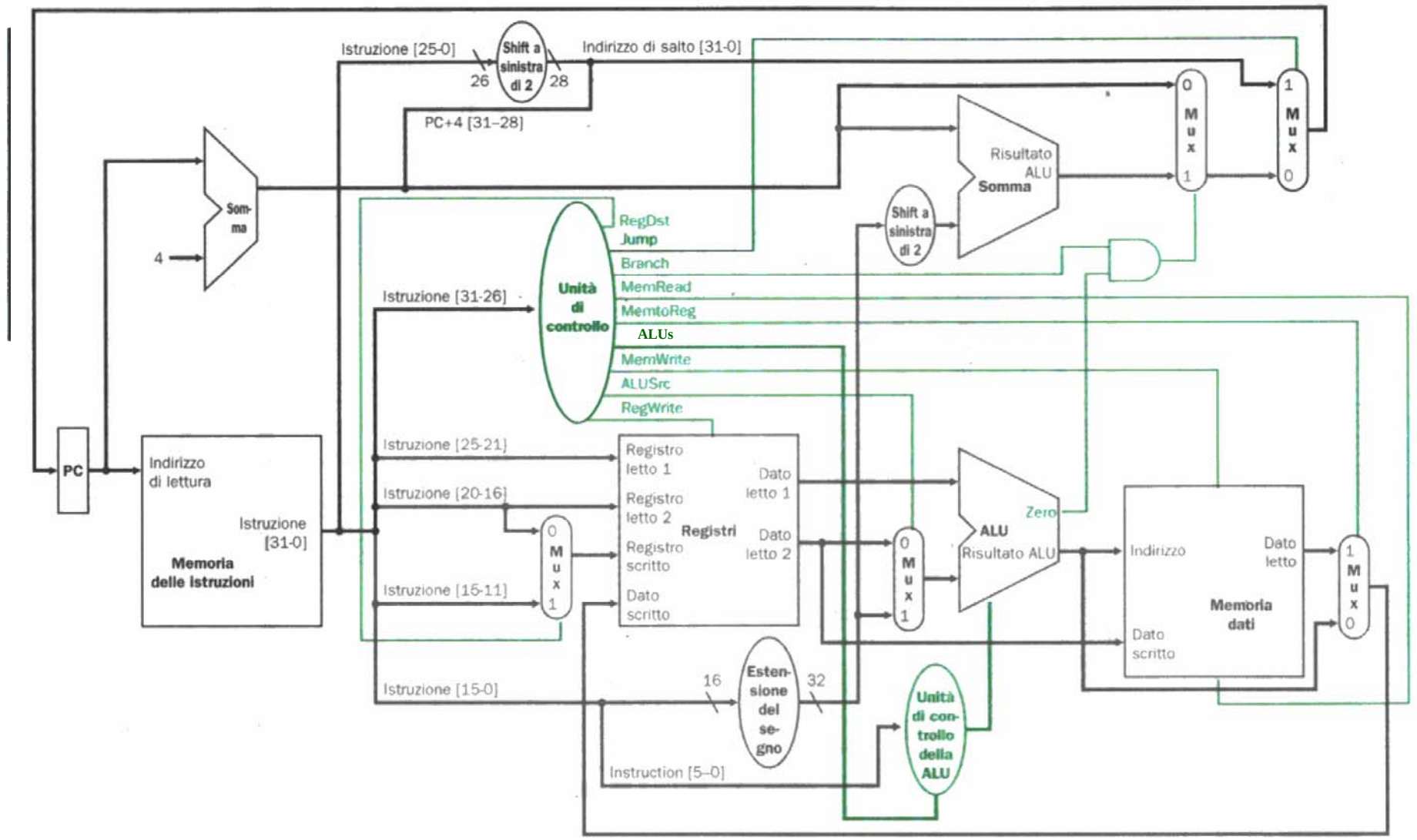
Schemi circcuitali
Corso di Architettura degli elaboratori e reti
Prof. N. Alberto Borghese

CPU a singolo ciclo di clock

Schema generale CPU a ciclo singolo(lw/sw + R + beq)

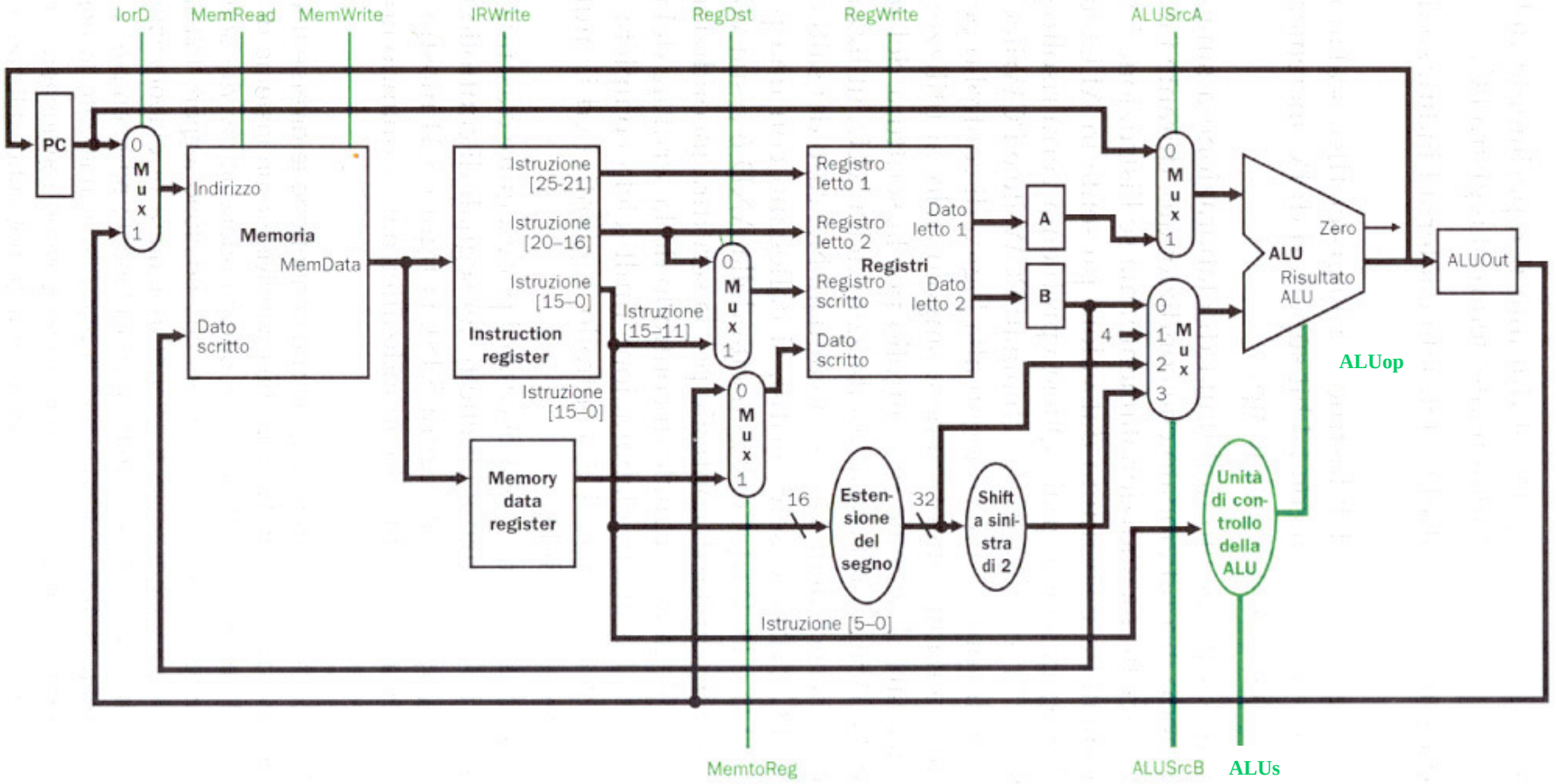


CPU + UC completa (aggiunta di jump)

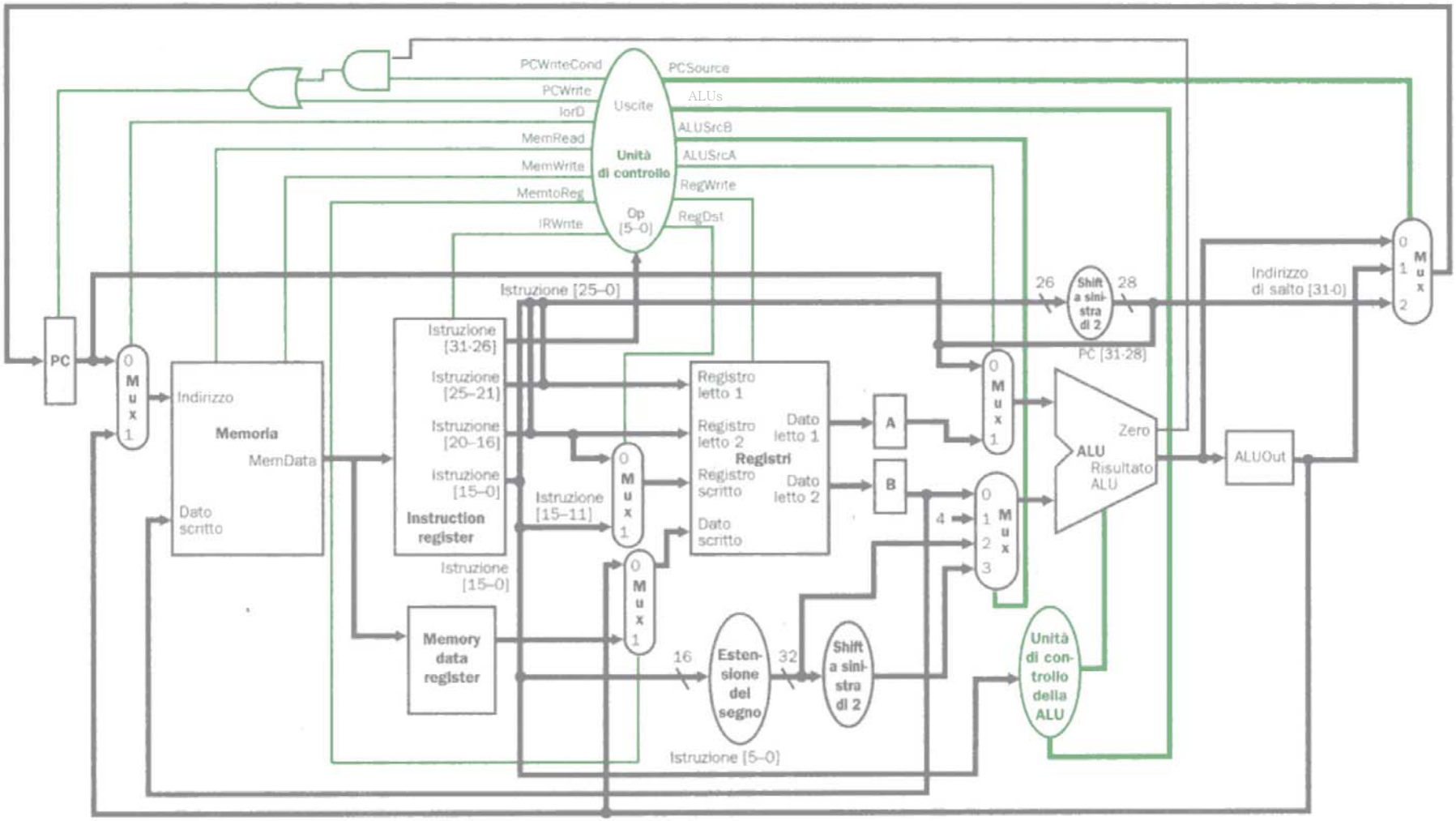


CPU multi-ciclo

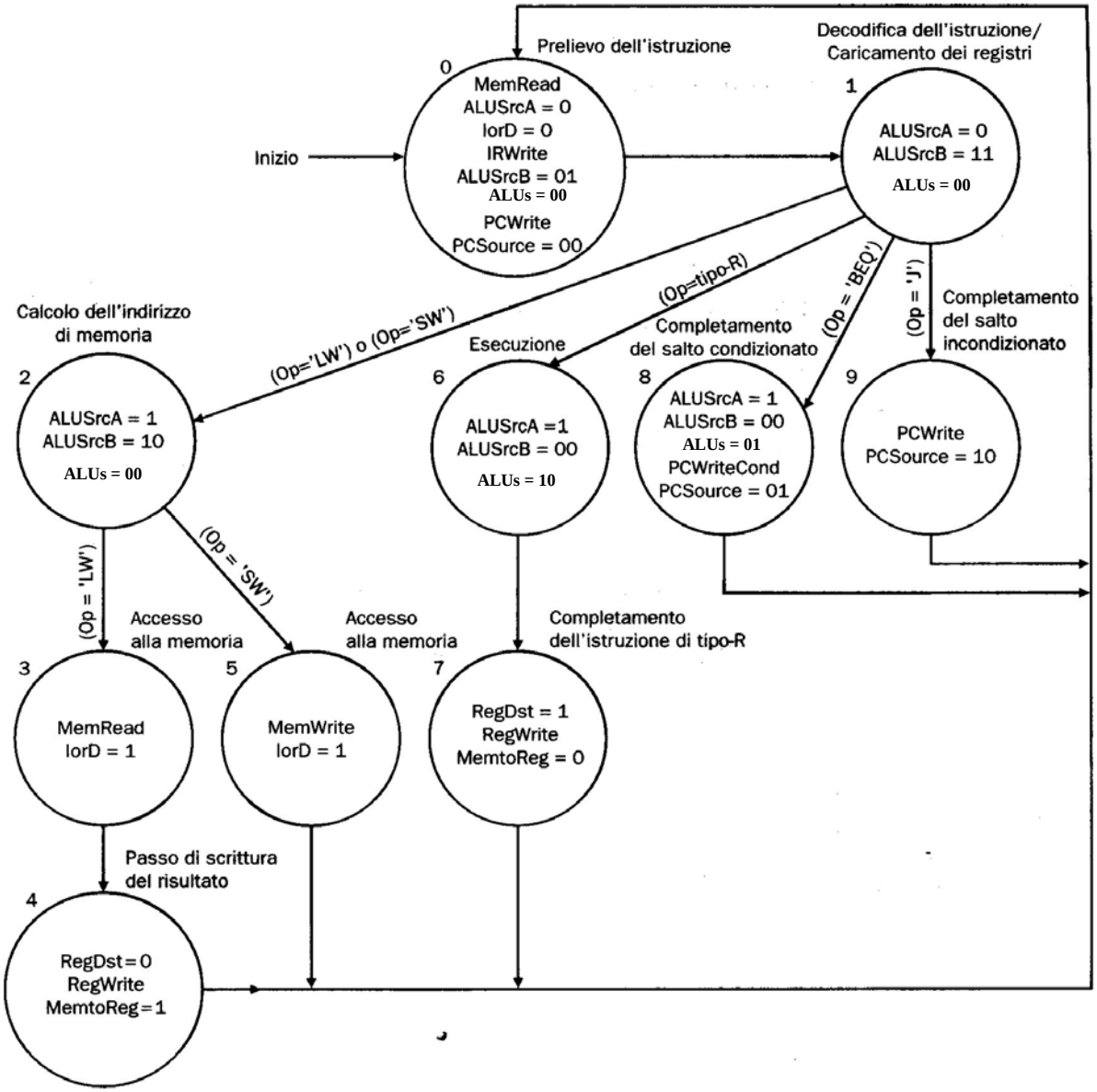
CPU multi-ciclo per R, lw/sw, beq



CPU multi-ciclo

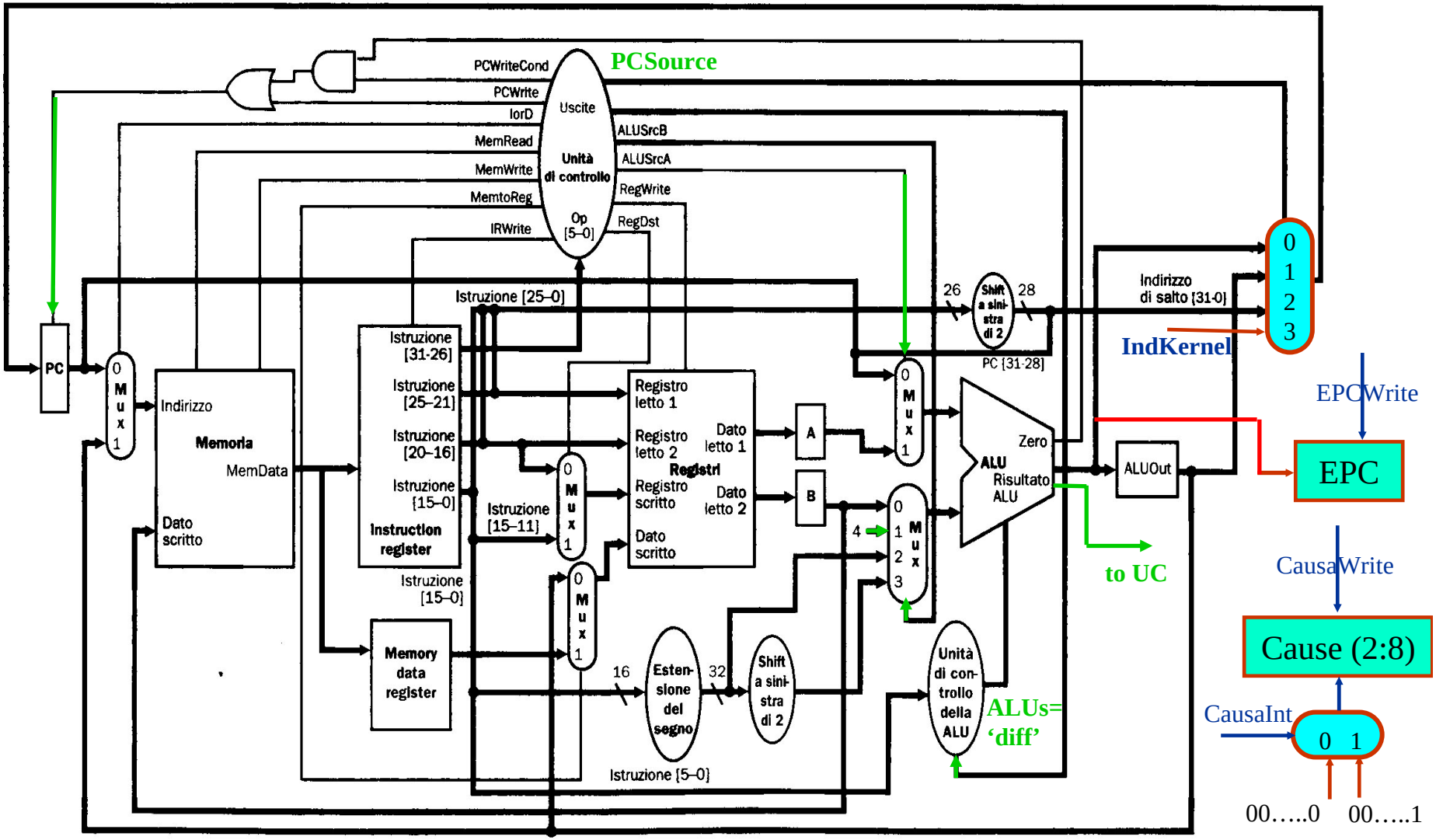


FSM - STG

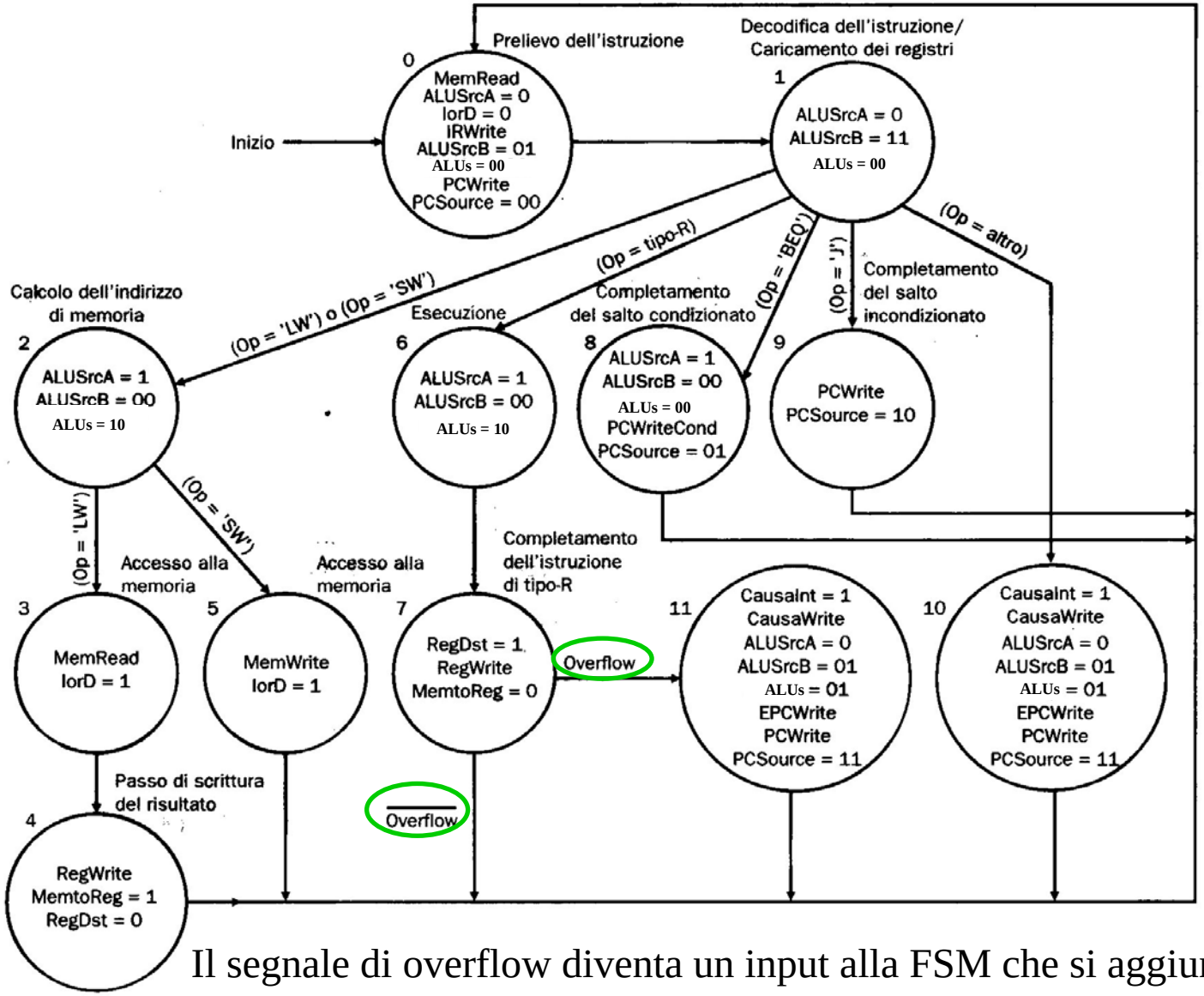

Prelievo dell'istruzione
Decodifica dell'istruzione/
Caricamento dei registri
0
MemRead
ALUSrcA = 0
IorD = 0
IRWrite
ALUSrcB = 01
ALUs = 00
PCWrite
PCSource = 00
Inizio
1
ALUSrcA = 0
ALUSrcB = 11
ALUs = 00
(Op='LW') o (Op='SW')
(Op=tipo-R)
(Op = 'BEQ')
(Op = 'J')
Completamento
del salto
incondizionato
Calcolo dell'indirizzo
di memoria
Esecuzione
Completamento
del salto condizionato
2
ALUSrcA = 1
ALUSrcB = 10
ALUs = 00
6
ALUSrcA =1
ALUSrcB = 00
ALUs = 10
8
ALUSrcA = 1
ALUSrcB = 00
ALUs = 01
PCWriteCond
PCSource = 01
9
PCWrite
PCSource = 10
(Op = 'LW')
(Op = 'SW')
Accesso
alla memoria
Accesso
alla memoria
Completamento
dell'istruzione di tipo-R
3
MemRead
IorD = 1
5
MemWrite
IorD = 1
7
RegDst = 1
RegWrite
MemtoReg = 0
Passo di scrittura
del risultato
4
RegDst = 0
RegWrite
MemtoReg = 1

Collegamenti HW per la risposta ad un'eccezione

Salvataggio del PC: PC → EPC; Selezione della causa; Segnali di controllo in verde.



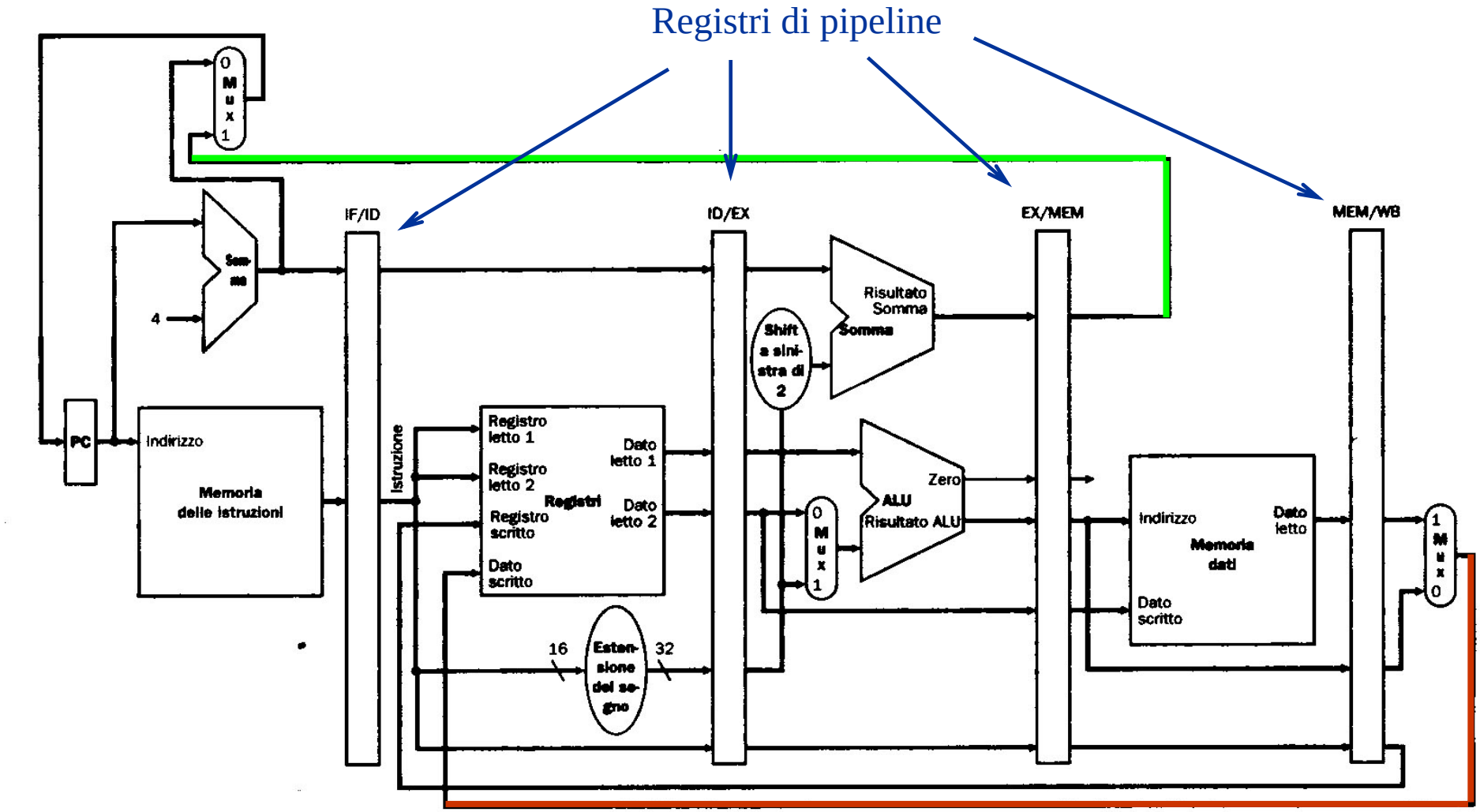
FSM per la CPU multi-ciclo con gestione delle eccezioni



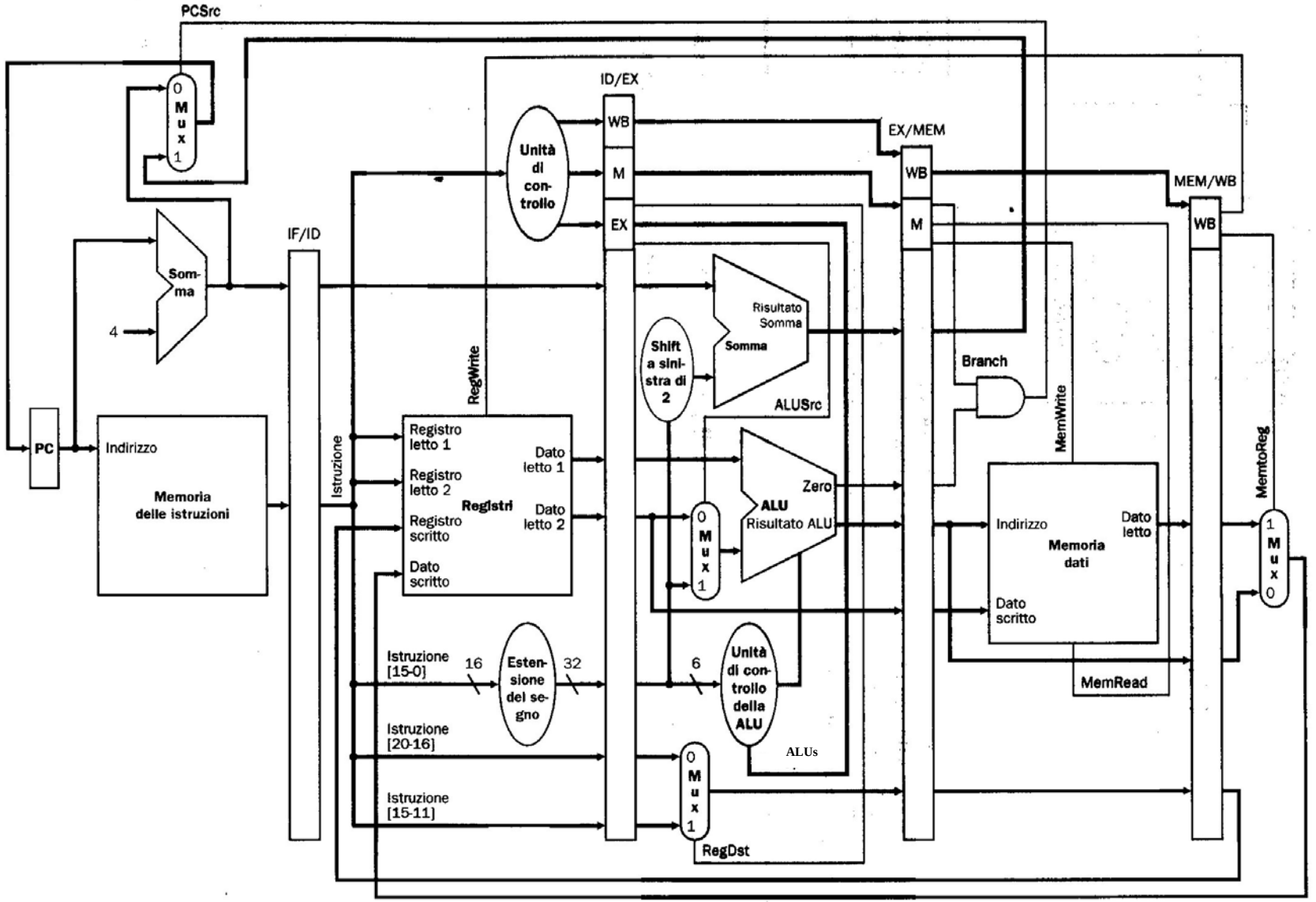
Il segnale di overflow diventa un input alla FSM che si aggiunge ad OpCode.

CPU pipe-line

CPU con pipeline



UC per pipeline



CPU pipe-line: hazard