



I bistabili ed il register file

Prof. Alberto Borghese
Dipartimento di Scienze dell'Informazione
borgnese@dsi.unimi.it

Università degli Studi di Milano



Sommario

I problemi dei latch trasparenti sincroni

I bistabili DT

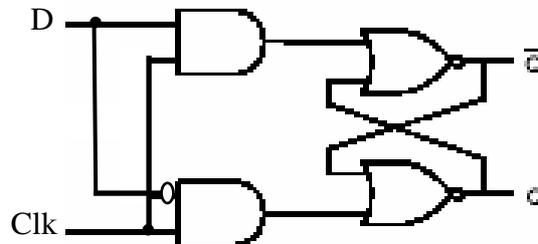
I registri ed il register file



Latch e Bistabili



I latch sono dispositivi trasparenti: quando il clock è alto, il valore di D viene riportato in uscita, $Q = D$.

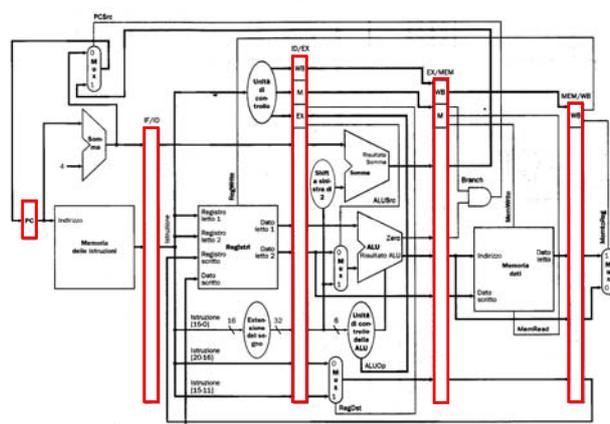


Per tutto il tempo in cui il clock è attivo, l'uscita è collegata all'ingresso D.

Qual'è il problema? A noi interessa memorizzare l'informazione al termine di un (semi)periodo di clock.

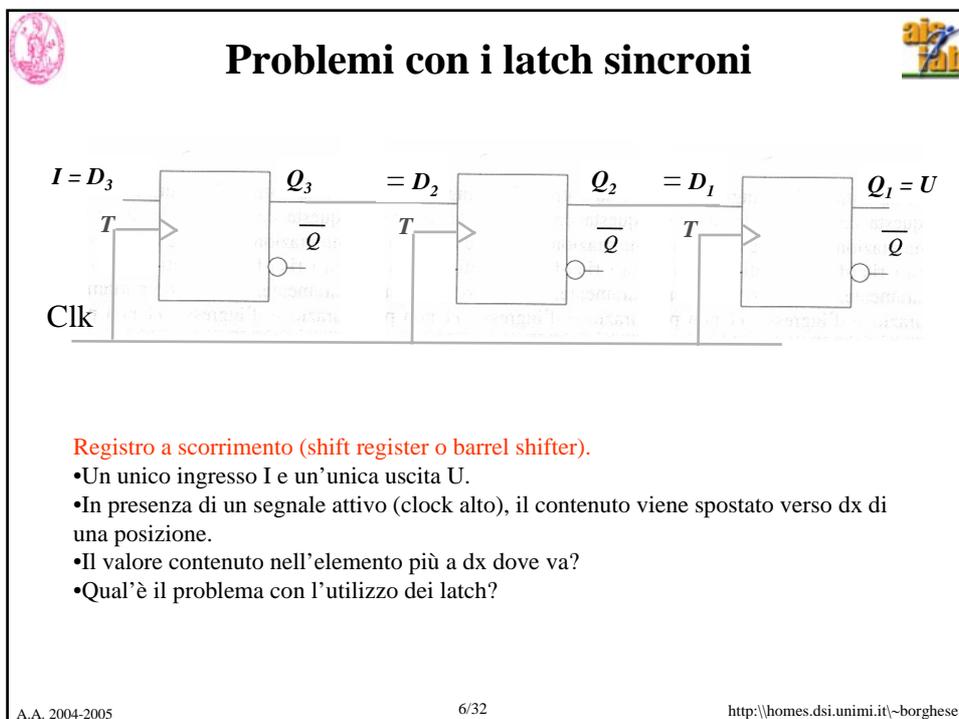
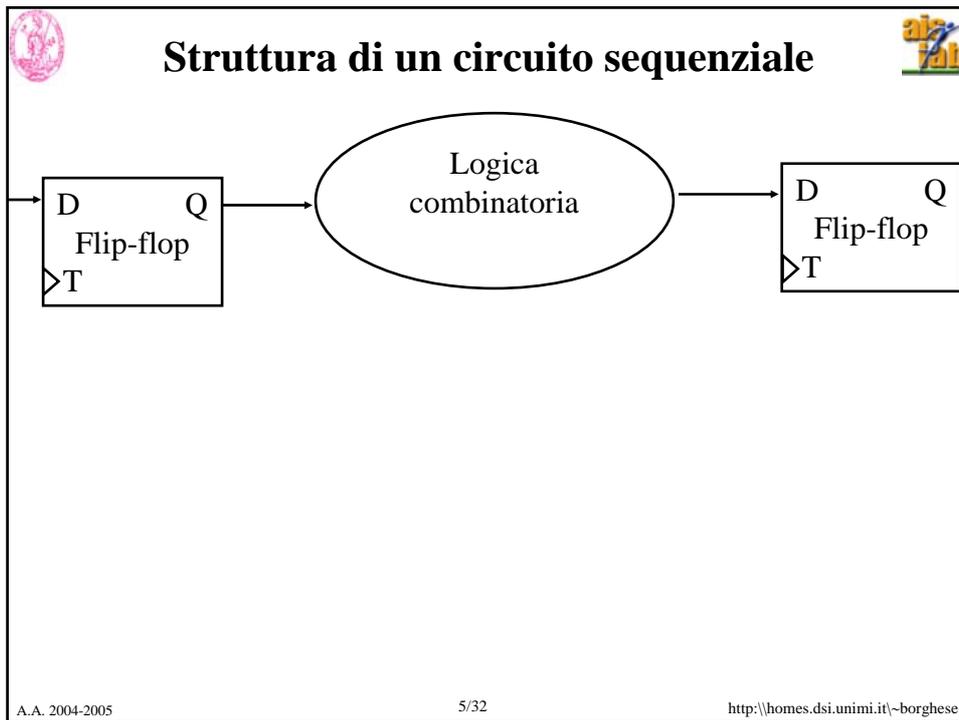


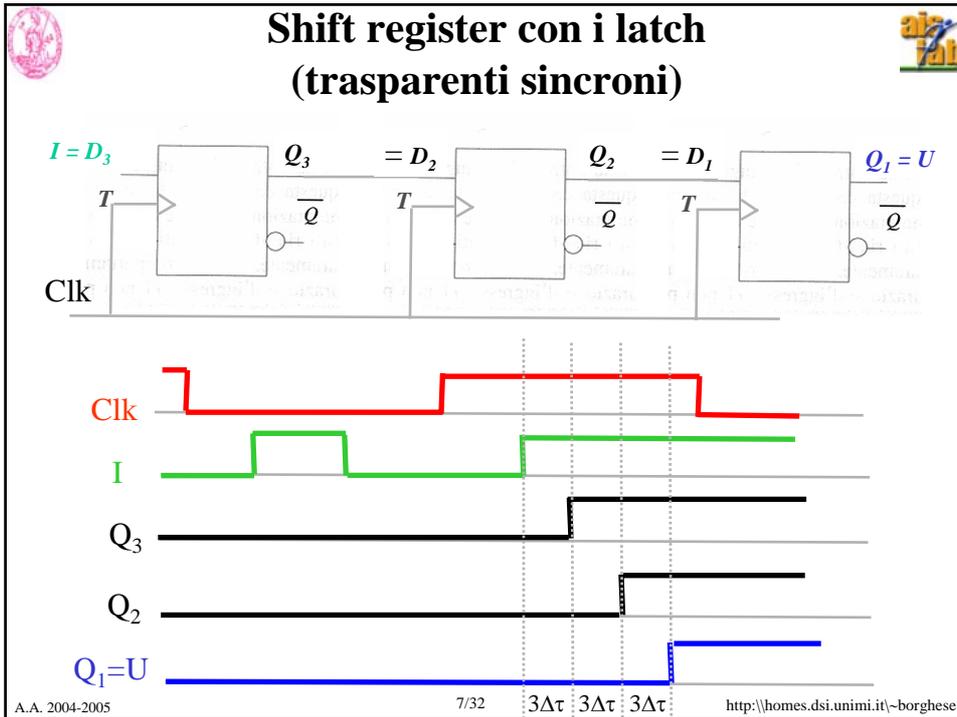
Sincronizzazione CPU



FF → Decod → Exec → R/W → WB

Il "cancello" viene inserito solamente in alcuni punti dell'architettura. In questi punti si sincronizza l'attività. Gangli di sincronizzazione.





Sommarrio

- I problemi dei latch trasparenti sincroni
- I bistabili DT**
- I registri ed il register file

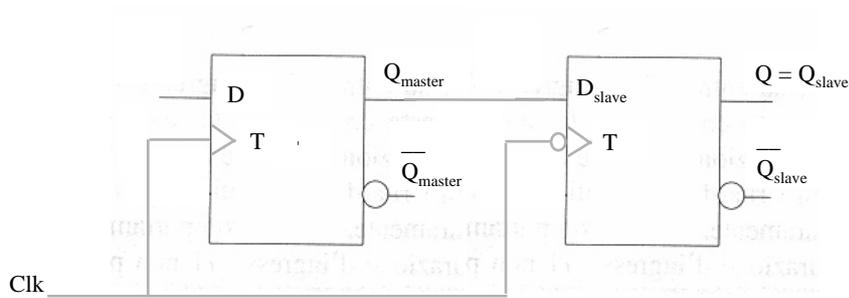
A.A. 2004-2005 8/32 <http://homes.dsi.unimi.it/~borgnese>



Bistabili



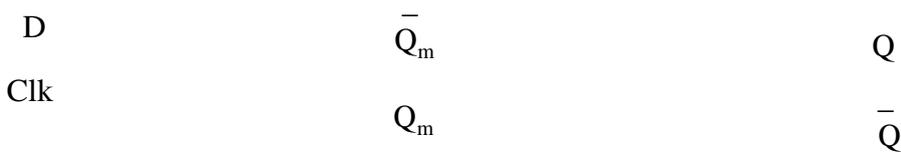
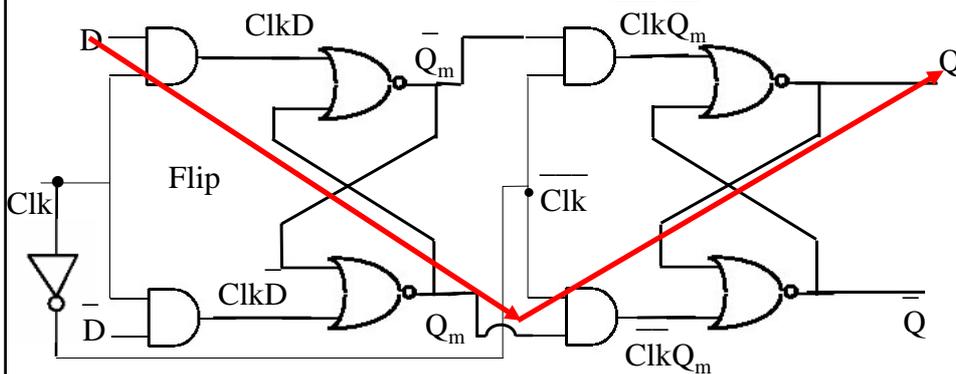
Dispositivi attivi sul fronte (di salita o discesa) del clock (edge sensitive): il loro stato (uscita) può commutare solo in corrispondenza della transizione alto->basso o basso->alto del clock.

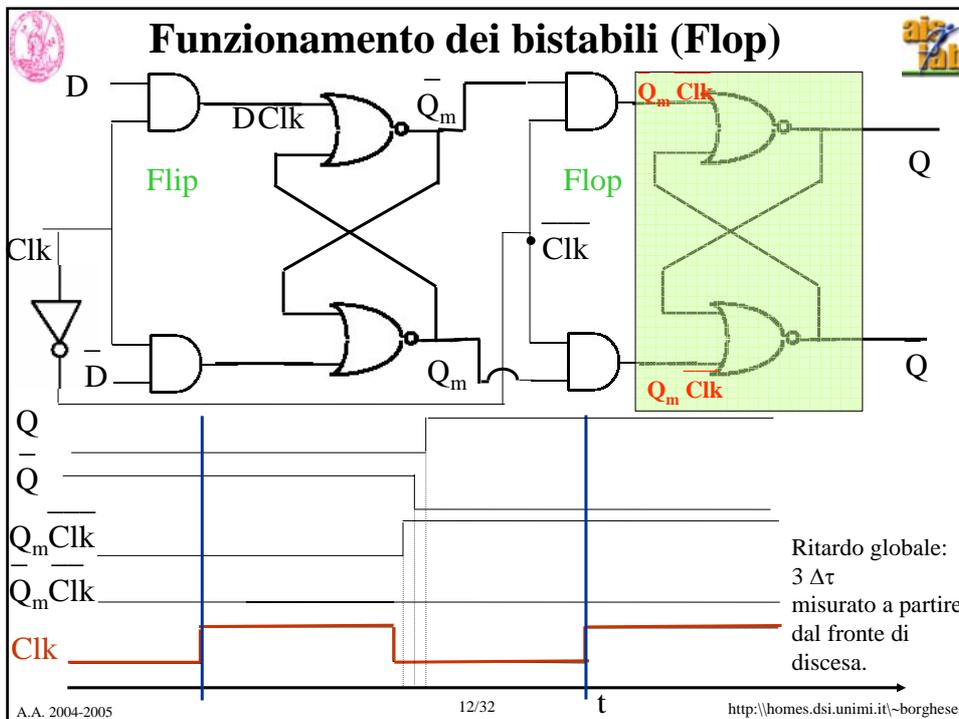
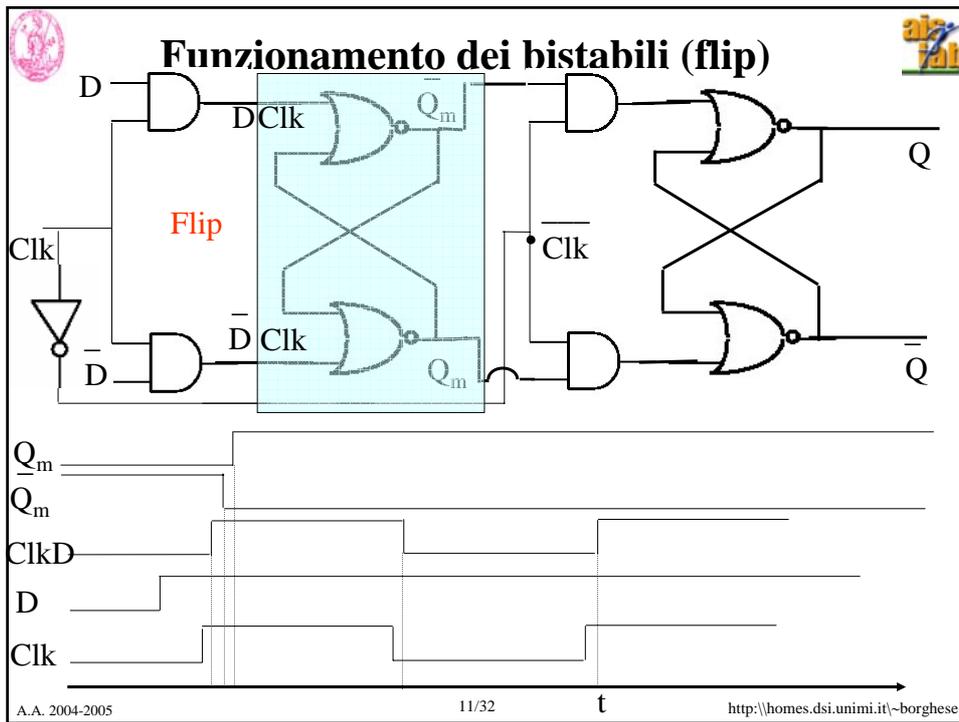


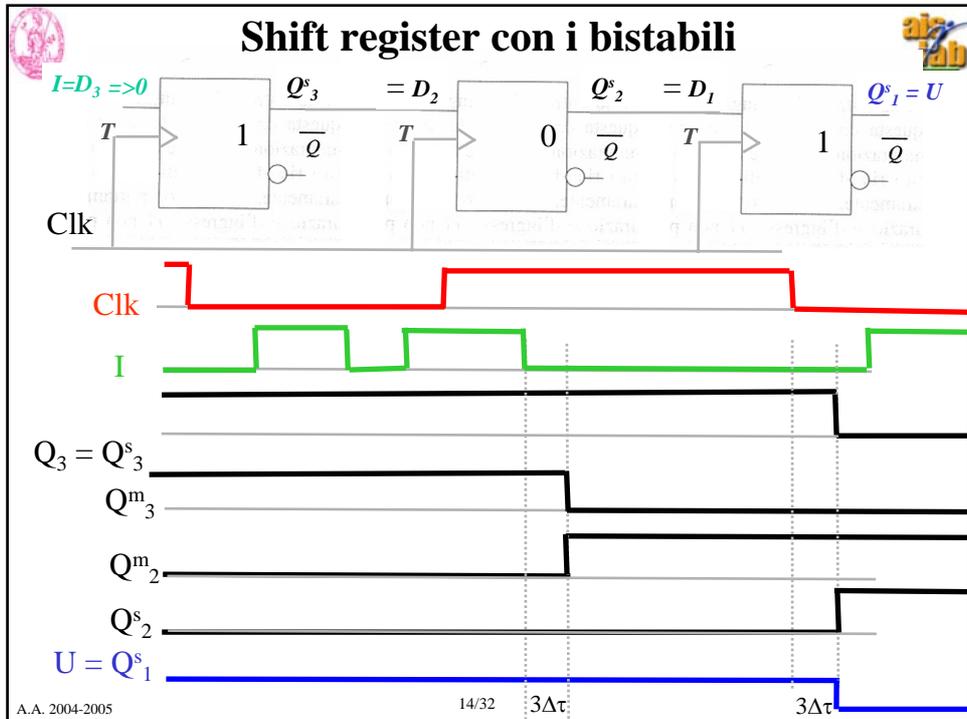
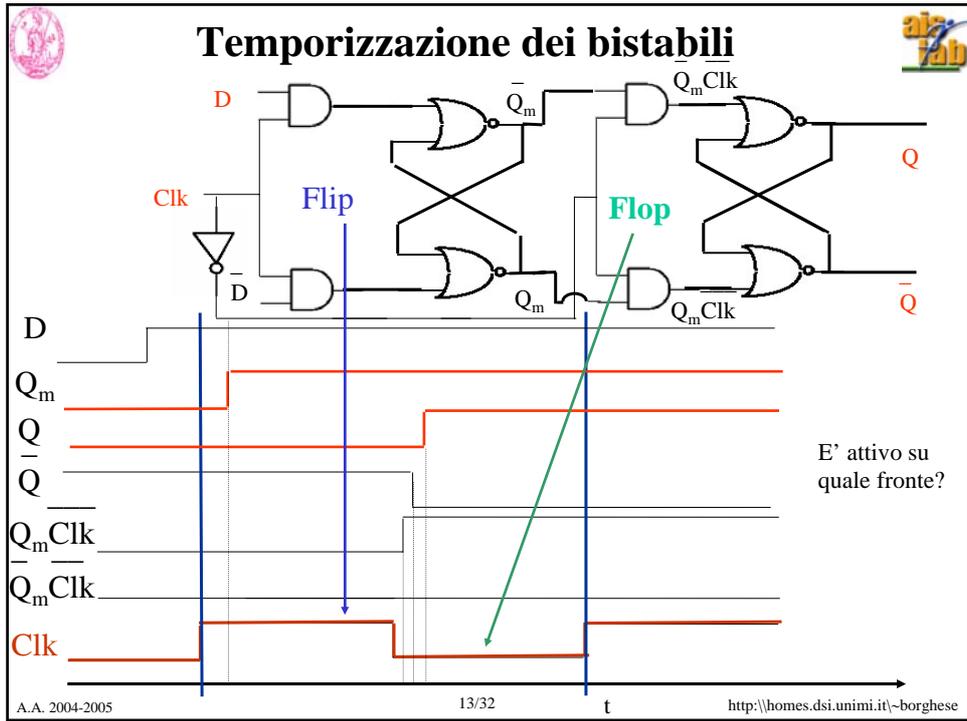
Configurazione Master-Slave



Funzionamento dei bistabili (flip-flop)







Struttura di un circuito sequenziale

Pone dei problemi di sincronizzazione: la logica combinatoria deve terminare la commutazione in tempo utile.

A.A. 2004-2005 15/32 <http://homes.dsi.unimi.it/~borghe>

Temporizzazione di un circuito sequenziale

- La logica ha tempo sufficiente per completare la commutazione.
- Il periodo di clock è tale, per cui la commutazione del clock avviene dopo che la logica combinatoria ha terminato tutte le commutazioni.
- Il tempo necessario alla logica combinatoria per commutare è \leq tempo associato al cammino critico.
- Il clock arriva contemporaneamente a tutti i dispositivi sincronizzati.

A.A. 2004-2005 16/32 <http://homes.dsi.unimi.it/~borghe>

Temporizzazione: problemi

L'input D deve essere stabile intorno alla commutazione del clock:

- **Tempo di set-up**: è il tempo minimo per cui deve rimanere stabile l'input D prima del fronte di clock.
- **Tempo di hold**: è il tempo minimo per cui deve rimanere stabile l'input D dopo il fronte di clock (solitamente trascurabile).

A.A. 2004-2005 17/32 http://homes.dsi.unimi.it/~borgnese

Temporizzazione: Come si dimensiona il clock

$$T > k * (t_p + t_c + t_s + t_w)$$

Tempo di propagazione: è il tempo necessario per propagare il segnale dall'uscita slave alla logica combinatoria (t_p).

Tempo di skew: ritardo massimo del clock (t_w).

A.A. 2004-2005 18/32 http://homes.dsi.unimi.it/~borgnese



I bistabili: riassunto



- Semplici elementi di memoria (1 bit)
- I latch possono essere asincroni o sincroni.
- La differenza tra latch e flip-flop sta nel fatto che nel primo, lo stato può cambiare (anche più volte) se il clock è alto, mentre nel secondo può cambiare solo su un fronte di clock (salita o discesa secondo l'implementazione).
- Differenti tipi (S-R, D, J-K, T, sincroni o asincroni,...)
- Differenti realizzazioni (con porte NOR, NAND,...)



Sommario



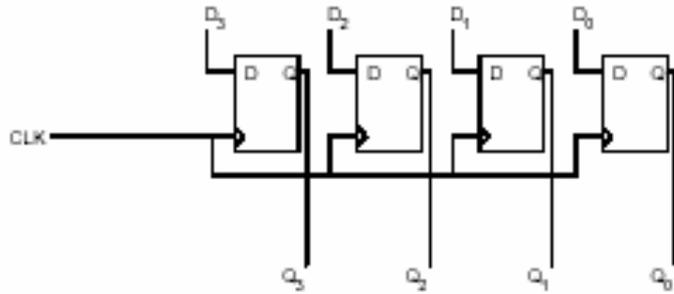
I problemi dei latch trasparenti sincroni

I bistabili DT

I registri ed il register file



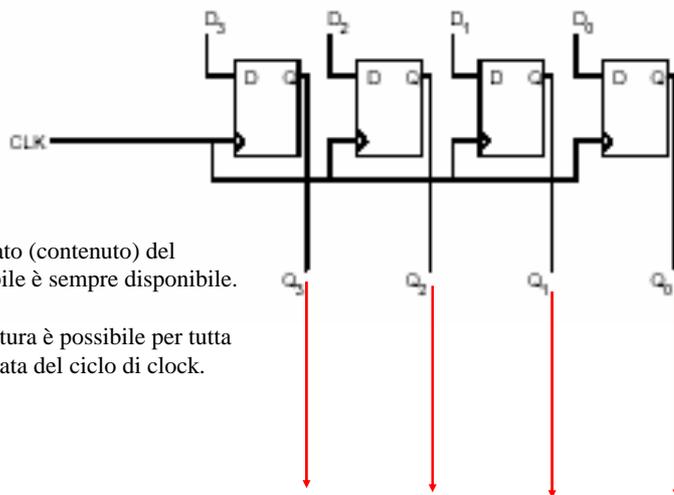
Registri



Un registro a 4 bit.
Memorizza 4 bit.



Lettura di un registro



Lo stato (contenuto) del
bistabile è sempre disponibile.

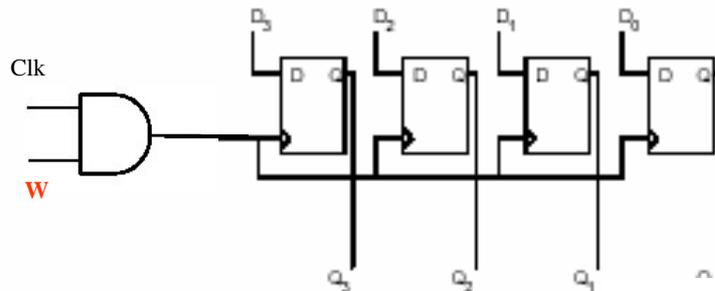
La lettura è possibile per tutta
la durata del ciclo di clock.



Scrittura di un registro



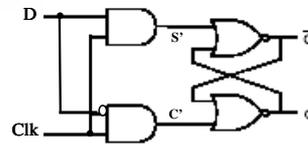
Ad ogni colpo di clock lo stato del registro assume il valore dell'ingresso dati.



Cosa occorre modificare perchè il registro venga scritto quando serve?

Introdurre una sorta di "abilitazione".

Il clock apre la linea D del bistabile allo stadio Master. Quando il clock è a zero, $S'=C'=0$ e lo stato non varia.



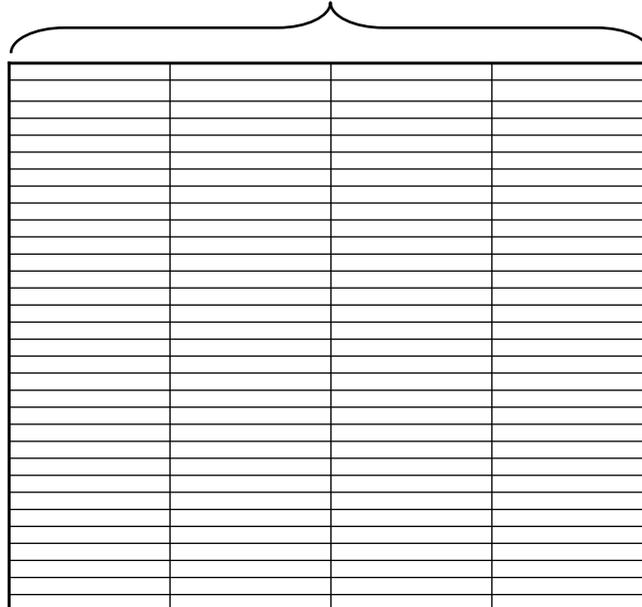
Banco di Registri

32 bit

Struttura costituita da un insieme di registri



32 registers

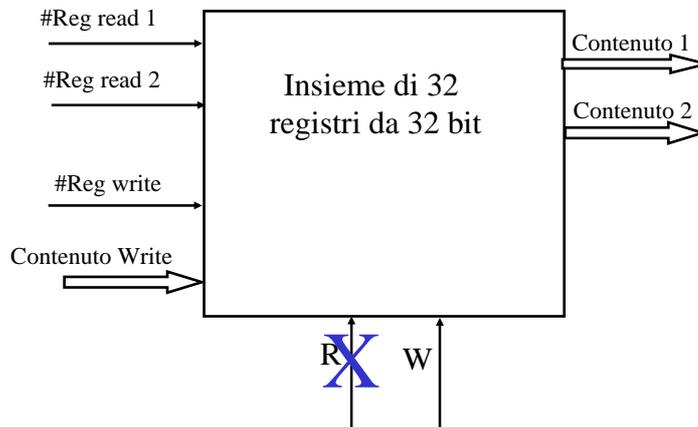




Register file



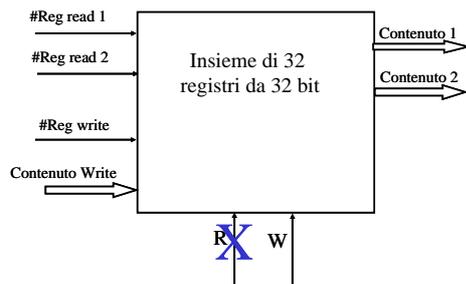
Banco di registri utilizzabile come memoria



Possono essere letti / scritti fornendo il numero del registro.



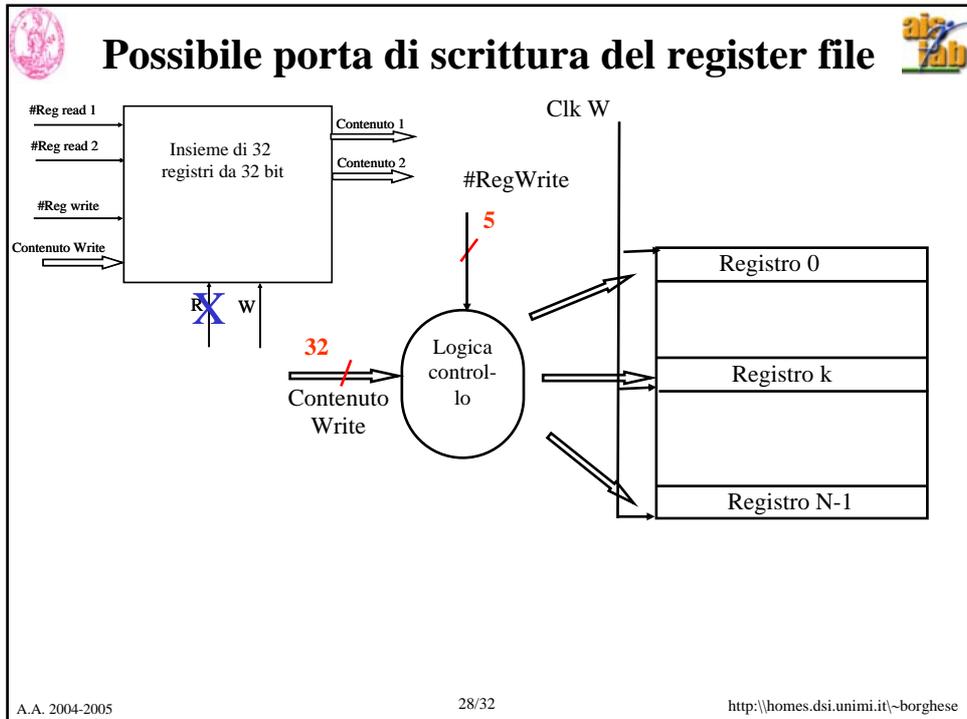
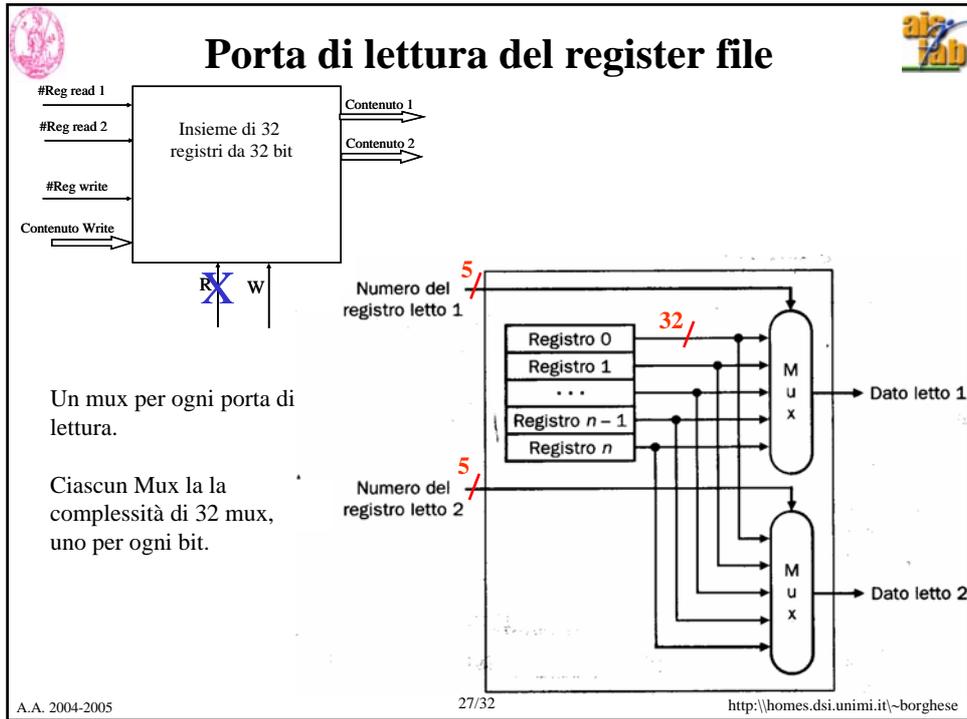
Gestione del register file



La lettura non modifica il contenuto di un registro (collego uscita Slave con il circuito combinatorio).

La scrittura invece richiede la modifica. Occorre il segnale W.

$$\#bit_indirizzamento = \log_2 \#bit$$

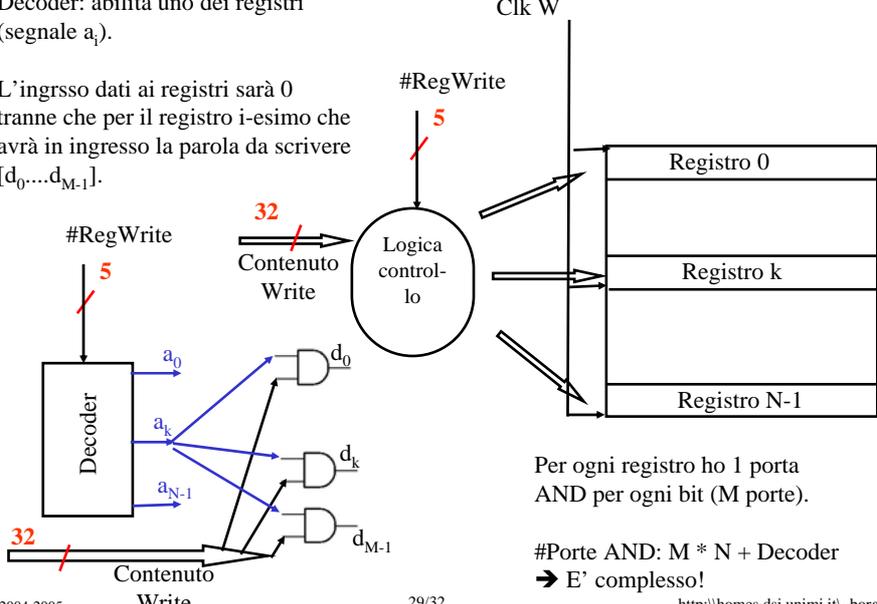


Logica controllo del circuito scrittura




Decoder: abilita uno dei registri (segnale a_i).

L'ingrso dati ai registri sarà 0 tranne che per il registro i -esimo che avrà in ingresso la parola da scrivere $[d_0 \dots d_{M-1}]$.

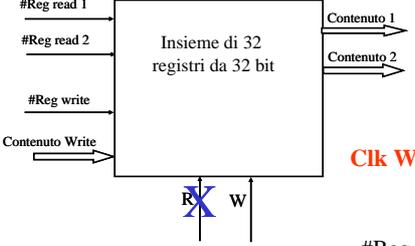


Per ogni registro ho 1 porta AND per ogni bit (M porte).
 #Porte AND: $M * N + \text{Decoder}$
 → E' complesso!
<http://homes.dsi.unimi.it/~borgnese>

A.A. 2004-2005 29/32 http://homes.dsi.unimi.it/~borgnese

Porta di scrittura del register file

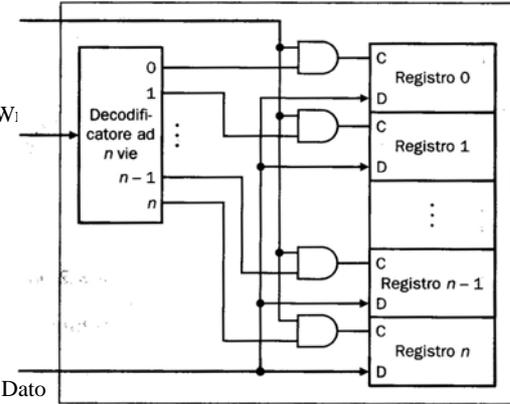


Ingresso C del Master dei registri:
 Decodificatore per indirizzare il registro
 AND
 Comando W

Ingresso D del Master dei registri:
 Bit dato corrispondente.

Ho ridotto drasticamente il numero di porte AND.



A.A. 2004-2005 30/32 http://homes.dsi.unimi.it/~borgnese