

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2004-2005 – Seconda prova in itinere - 07 Giugno 2005

1. [15] Domande:

- [1] Cosa si intende per Control Path e Data Path in una CPU? Fare un esempio di quale informazioni transitino per i due Path.
- [2] Come vengono gestiti gli interrupt e le eccezioni in un processore MIPS?.
- [1] Definizione di hazard e stallo di una CPU.
- [4] Significato dei segnali CAS e RAS in una memoria [1]. Cosa si intende per modalità di trasferimento “a burst” e a quali memorie si applica e perché [2]. Cosa si intende per “north bridge” e “south bridge” [1]
- [1] Cosa si intende per polling? Quando è conveniente utilizzarlo?
- [1] Cosa è il device controller? In che relazione è con il device driver?
- [3] Descrivere lo stack TCP/IP. Perché si chiama stack?
- [2] Cosa si intende per Benchmark? Per CPI? Può essere il $CPI < 1$? In quale caso? Enunciare la legge di Amhdal.

2. [8] Disegnare lo schema di una CPU multi-ciclo in grado di eseguire le seguenti istruzioni: di tipo R, addi, subi, lw, sw. Derivarne la unità di controllo in termini di macchina a stati finiti, specificandone TUTTE le uscite NECESSARIE al funzionamento della CPU.

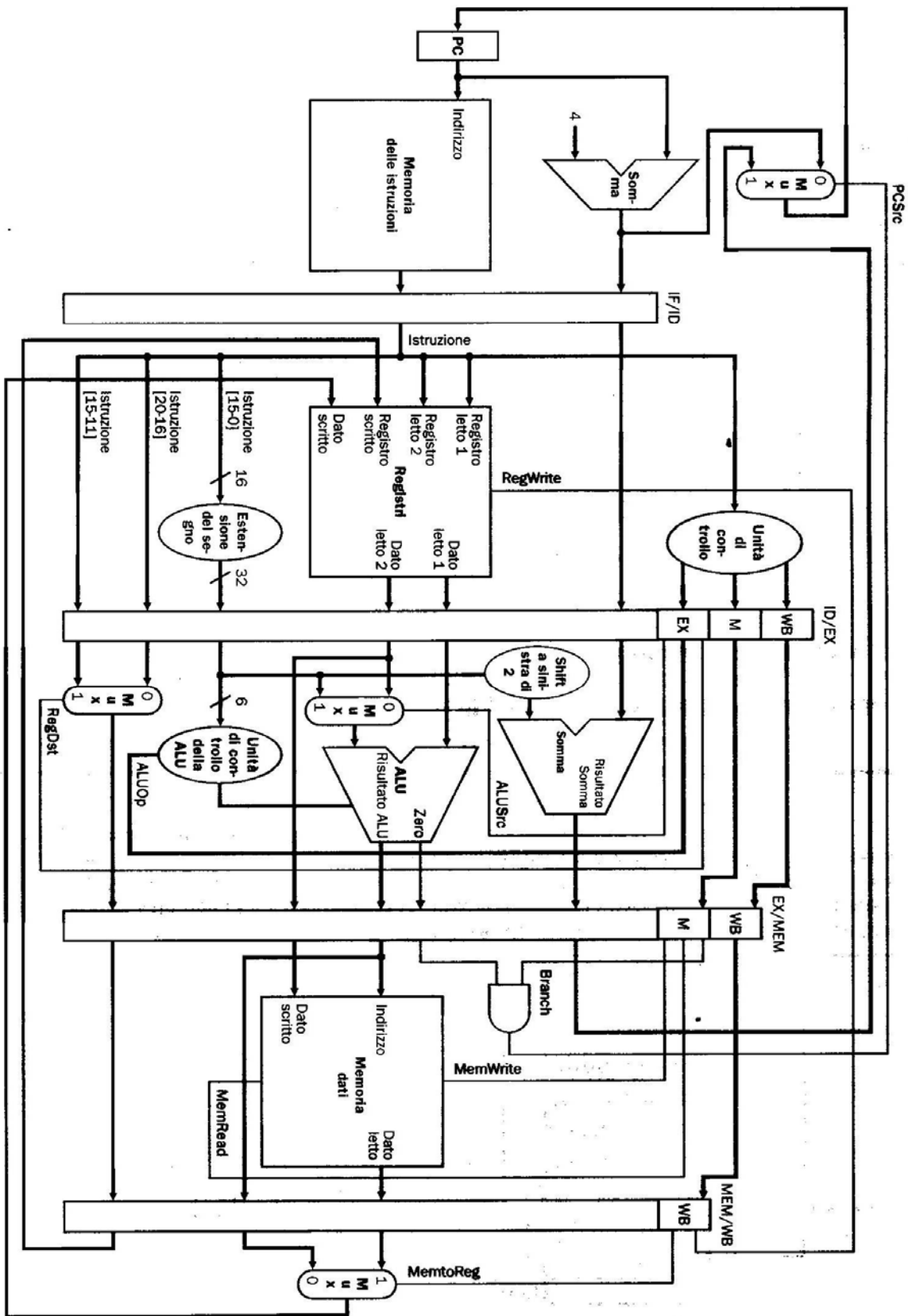
3. [7] Sia dato questo segmento di codice:

```
600: add $t0, $t1, $t2
604: lw $s0, 0($s1)
608: sub $t3, $t4, $t0
612: sw $s2, 0($s1)
616: sub $t5, $t6, $t7
```

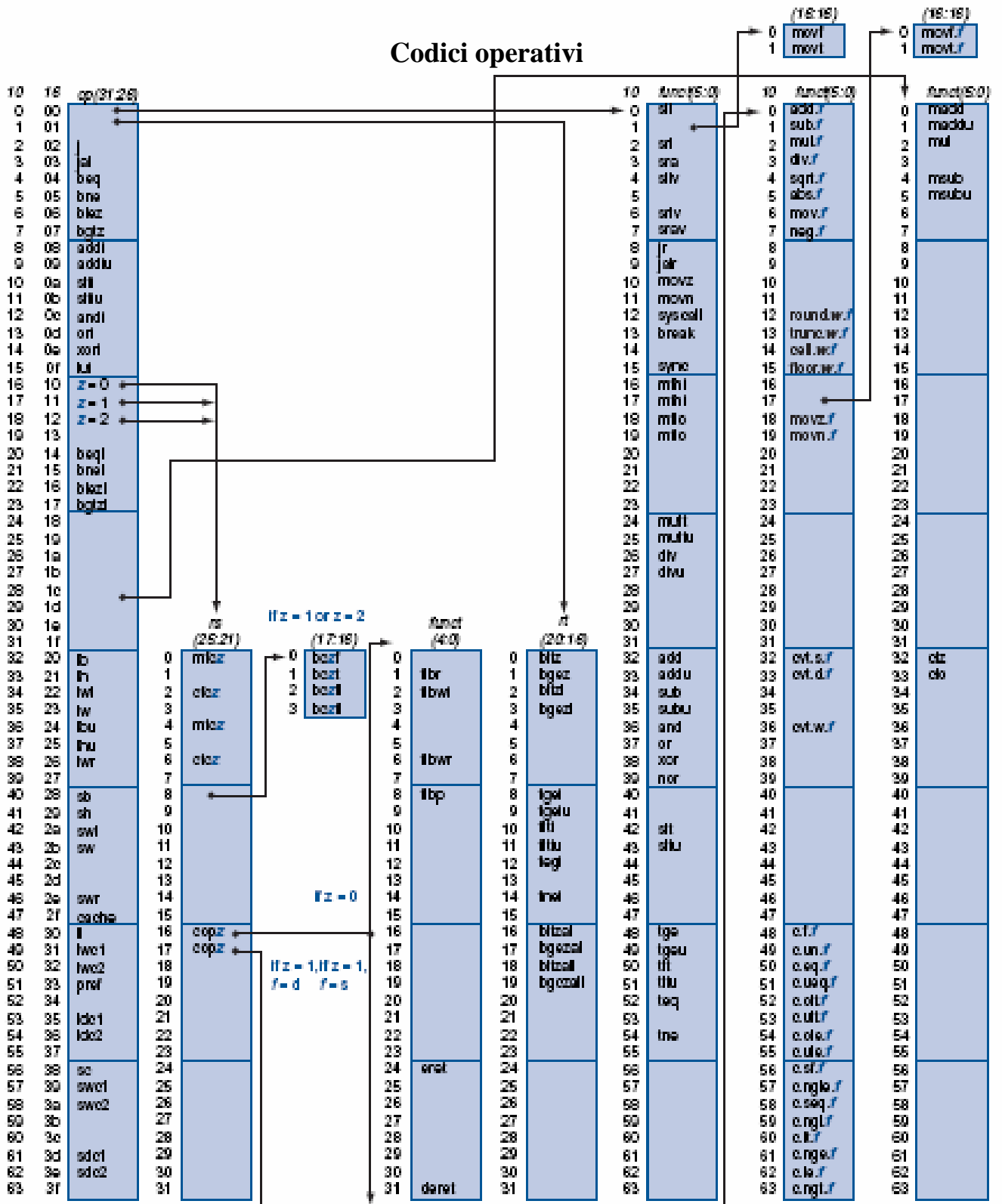
Identificare i possibili hazard e come si possa modificare la CPU riportata nella pagina seguente perchè non si verifichino stalli. [4]. Scrivere il contenuto dei registri di pipeline (slave) all’inizio dell’esecuzione sub \$t5, \$t6, \$t7 [3].

4. [5] Data una cache di 1024byte, a 2 vie, con linee di 4 parole:

- a) determinare la posizione in cache in cui viene letta la parola con l’istruzione lw \$s0, 1284(\$zero) [3]
- b) sapendo che la parola di indirizzamento è di 32 bit, suddividere i 32 bit tra i vari campi: tag, indirizzamento della linea ed indirizzamento della word all’interno della linea [1]
- c) quante parole è verosimile che vengano trasferite da cache a CPU e da cache alla memoria? [1]



Codici operativi



Nome simbolico dei registri

0 zero	16 s0
1 at	...
2 v0	23 s7
3 v1	24 t8
4 a0	25 t9
5 a1	26 k0 reserved for OS kernel
6 a2	27 k1
7 a3	28 gp
8 t0	29 sp
...	30 fp
15 t7	31 ra