

Esercizi sulla CPU

PER QUESTI ESERCIZI, CONSULTARE GLI SCHEMI VISTI A LEZIONE. IN SEDE DI ESAME, UNA COPIA DEGLI SCHEMI VI SARA' DATA.

1. Quando può convenire avere una CPU a singolo ciclo? [1].
2. Quali segnali di controllo della CPU a singolo ciclo devono essere specificati? E quali in una CPU multi-ciclo? [2].
3. Parallelo tra CPU multi-ciclo e CPU con pipeline. Identificare i registri della CPU multi-ciclo ed identificare in quali registri della pipeline sono contenuti [3 + 2].
4. Identificare i segnali di controllo della pipeline multi-ciclo ed associarli ai diversi passi di lavorazione di un'istruzione [3].
5. Data lo schema della CPU multi-ciclo ed lo STG, completare entrambi con la gestione dell'eccezione generata dalla ALU in caso di overflow [2 + 2].
6. Disegnare lo schema del Register File [3 + 2] ed evidenziare il meccanismo per cui non si ha conflitto in lettura / scrittura.
7. Definire cosa rappresenta una criticità sui dati in una pipeline, farne un esempio, e descrivere le tecniche per risolverlo [1+1+2].
8. Cos'è lo stallo di una pipeline? [2].
9. Su quale principio si basa la pipeline superscalare? Cos'è il booking? [2].
10. In una CPU multi-ciclo, specificare **tutti i segnali** di controllo ed il contenuto **di tutti i registri in tutti** gli stadi di esecuzione dell'istruzione `add $s0, $s1, $s2` [8].
11. In una CPU multi-ciclo, specificare **tutti i segnali** di controllo ed il contenuto **di tutti i registri in tutti** gli stadi di esecuzione dell'istruzione `beq $s0, $s2, 80` [8].
12. In una CPU con pipe-line, specificare **tutti i segnali** di controllo ed il contenuto **di tutti i registri in tutti** gli stadi di esecuzione dell'istruzione `beq $s0, $s2, 80` [8].
13. In una CPU con pipe-line, specificare **tutti i segnali** di controllo ed il contenuto **di tutti i registri in tutti** gli stadi di esecuzione dell'istruzione `addi $s0, $s2, 80` [10].
14. Come viene definito un hazard sui dati? Darne un esempio e spiegare il perché nel vostro esempio si verifica un hazard sui dati [1 + 3].
15. Come viene definito un hazard sul controllo? Darne un esempio e spiegare il perché nel vostro esempio si verifica un hazard sul controllo [1 + 3].
16. Cos'è il feed-forwarding dei dati in una pipe-line? [1].
17. Specificare tutti i segnali di controllo ed il contenuto dei registri nei 5 stadi della pipe-line corrispondenti a 5 fasi successivi di esecuzione per il seguente frammento di codice: [14].

```
lw $t0, 0($t1)
add $t2, $t1, $t3
add $t5, $t0, $t4
add $s0 $t2, $s1
beq $s0, $s1 80
```

18. Possono esistere hazard durante l'esecuzione di un'istruzione di `sw`? [2].