

## Compitino del 16.06.2003 - Architetture, turno I

1. Completare lo schema della CPU con pipe-line specificando: Gli elementi mancanti (e.g. mux, estensione del segno, shl), I collegamenti. I segnali di controllo. [5].
2. Per la CPU multi-ciclo disegnata. Specificare per un'istruzione bne \$s0, \$s1, 100, quanto segue:
  - Cosa viene contenuto nei registri (master e slave) alla fine di ogni ciclo di clock (supponiamo che il clock inizi con il livello basso) [5].
  - Rappresentare il funzionamento dell'UC come FSM (mediante STG), raggruppando in un unico stato (idle) tutte le istruzioni diverse dalla bne. [3].
  - Aggiungere allo STG appena disegnato anche gli stati ed i collegamenti opportuni per eseguire l'istruzione add \$s0, \$s1, \$s2. [2].
3. Supponiamo di avere una RAM che contenga in ordine i primi 16,000 numeri nelle prime 16,000 posizioni. Supponiamo di avere una cache a 4 vie, con ampiezza 8 elementi, dove ciascuna via (banco) contiene blocchi di 2 parole (ciascuna di 8 byte). Si vuole sapere:
  - cosa conterrà la cache in seguito all'esecuzione dell'istruzione load \* 131(\$zero). [5].
  - cosa conterrà quando viene eseguita l'istruzione load \* 195(\$zero) [3]?
4. Dare la definizione di Hit e Miss di una memoria. Cosa succede in seguito ad una Miss? Ed in seguito ad una Hit? Come si valuta l'efficienza di una memoria? [4].
5. Disco. Descrivere la struttura tipica di un disco e quali sono i processi funzionali di cui tenere conto nel trasferimento da e verso il disco [3].
6. Descrivere la tipica interfaccia HW di una periferica [2].
7. Descrivere le modalità di funzionamento di circuit, packet e message switching di un link [2].