

Cognome e nome dello studente:

Matricola:

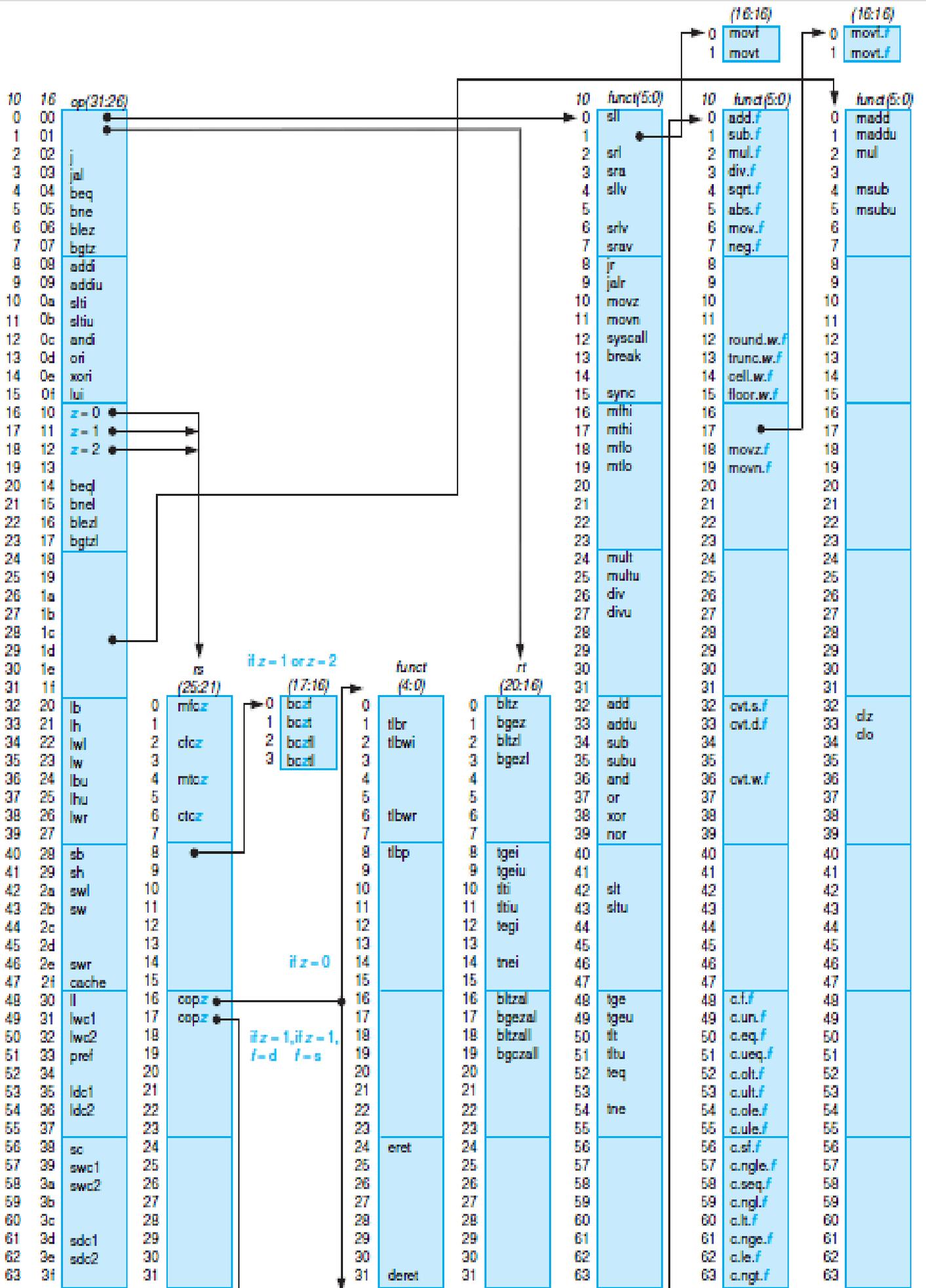
1. [9] Data la CPU N. 1, specificare il contenuto di **tutte** le linee (dati e controllo) quando è in esecuzione il seguente segmento di codice [4]:

```
0x00000400 or $s5, $t2, $t1
0x00000404 sw $s1, 8($s0)
0x00000408 add $t4, $s5, $s1
0x0000040C addi $t1, $t2, 100
0x00000410 lw $s2, 32($s0)
```

 quando l'istruzione di or si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee di dati e di controllo, all'interno dei diversi stadi, trasportino dati utili all'esecuzione dell'istruzione in esecuzione in quel particolare stadio [2]. Modificare la CPU in modo che gestisca correttamente la propagazione anche per le istruzioni addi [3].
2. [2] Cos'è un hazard? Quali tipi di hazard vengono identificati? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedente? Motivare la risposta.
3. [4] Cosa si intende per Superpipeline e pipeline multiple issue? Cosa sono gli "issue"? Descrivere come funziona una pipeline multiple-issue statica e dinamica. Cosa si intende per: a) "Reservation station", "Register renaming", "Commit unit", "Speculazione", "Flush"? Spiegare i motivi che hanno spinto lo sviluppo delle pipeline in queste direzioni. Cosa si intende per parallelismo implicito ed esplicito? Cos'è un cluster? Quali sono i punti deboli e forti di: a) cluster, b) architetture multi-core.
4. [4] Cosa si intende per consistenza di una memoria? Cosa si intende per coerenza (di una memoria)? Come si può garantire la coerenza della memoria? Quali sono le tecniche utilizzate nelle architetture mono e multi-processore? Quali sono i problemi? Cos'è il lock? Cos'è la memoria virtuale e come viene gestita?
5. [4] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS. Modificare la CPU sopra per potere gestire un'eccezione di "Overflow". Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS? Scrivere lo scheletro di un procedura Assembler MIPS di risposta alle eccezioni.
6. [2] Quali sono i principi su cui è basata un'architettura CUDA? Quali sono i componenti principali? Che tipo di architettura è un'architettura INTEL? Riportare alcune caratteristiche e confrontare alcune istruzioni con l'equivalente MIPS
7. [2] Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Come avviene una transazione su un bus sincrono e su un bus asincrono? Quali sono i segnali importanti e perchè?
8. [6]. Data un cache a 2 vie, ciascuna via memorizza 2 Kbyte, da dove viene caricato il dato dall'istruzione lw \$t0, 2844(\$0)? Supponete che i dati siano su 32 bit e che la cache abbia linee di 128 bit. Disegnare la porta di lettura. Cosa si intende per lettura in modalità "burst"? Perchè è importante?
9. [3] Cosa rappresenta il "roof model"? Cosa rappresenta l'intensità aritmetica? Si riferisce ad una CPU o ad un particolare programma? Quali sono i passi per ottimizzare le prestazioni del codice suggeriti dal roof-model?

Registri del register file

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	...		(caller can clobber)
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)



CPU N. 1

