

Cognome e nome dello studente:

Matricola:

1. [6] Data la CPU di pagina 4, specificare il contenuto dei registri di pipeline (master / slave), quando è in esecuzione il seguente segmento di codice [5]:

```
0x00000400 and $s5, $t2, $t1
0x00000404 sw $s1, 8($s0)
0x00000408 add $t4, $s5, $s1
0x0000040C addi $t1, $t4, 100
0x00000410 lw $s2, 32($s0)
```

quando l'istruzione di `and` si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee, all'interno dei diversi stadi, trasportino dati utili all'esecuzione dell'istruzione [2]. Ci sono hazard nel codice precedente? Motivare la risposta [1].

2. [5] Cosa sono gli interrupt e le eccezioni? Come vengono gestiti dalle architetture Intel e dalle architetture MIPS/ARM? Specificare gli elementi della CPU MIPS che sono dedicati alla gestione delle eccezioni e supportano la gestione delle eccezioni e cosa contengono. Modificare la CPU sopra per potere gestire un'eccezione di "Overflow" e un'eccezione di Codice Operativo Non Valido. Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS? Come vengono gestite le eccezioni e gli interrupt dai sistemi operativi sul MIPS? Scrivere uno scheletro di possibile codice.

3. [5] Descrivere come funzionano le seguenti tecniche e dire se sono tecniche principalmente software o hardware e perchè. In alcuni casi la risposta corretta può essere entrambi gli approcci. Identificare quali sono i **punti forti** ed i **punti deboli**.

- a) Superpipeline
- b) Predizione dei salti
- c) Branch prediction buffer
- d) Speculazione
- e) Parallelizzazione dell'esecuzione
- f) Parallelizzazione a livello di parola
- g) Parallelismo implicito ed esplicito
- h) Pipeline superscalari
- i) Pipeline dotate di VLIW
- j) Pipeline multiple-issue
- k) Può una pipeline multiple issue introdurre hazard rispetto a quella a issue singolo?
- l) Esecuzione fuori ordine
- m) Reservation station
- n) Buffer di riordino
- o) Ridenominazione dei registri
- p) Branch delay slot
- q) Issue
- r) Hazard
- s) Bolla
- t) Stallo
- u) Cluter
- v) Multi-core
- w) MIPS
- x) MFLOS

4. [6] Disegnare una memoria cache (parte dati + TAG + bit di validità, porte di lettura e scrittura) per un'architettura MIPS a 64 bit, a 4 vie di 16 KByte per banco, e linee di 16 parole (per ciascun banco). Definire cosa rappresenta il campo TAG e dimensionarlo opportunamente. Da quanti bit è costituita questa memoria complessivamente? Cosa succede quando si verifica una miss? Da quale dei quattro banchi viene scaricato il dato? Perché? Cosa sono i codici di rilevamento e correzione degli errori? Come funziona il codice di Hamming? Fare un esempio per un dato su 8 bit.

5. [2] Cosa rappresenta il “roof model”? Cosa rappresenta l’intensità aritmetica? Si riferisce ad una CPU o ad un particolare programma? Quali sono i passi per ottimizzare le prestazioni del codice suggeriti dal roof-model? Cos’è un kernel benchmark? Cos’è lo SPEC?
6. [5] Le memorie sono costituite da una gerarchia costruita secondo criteri ben precisi. Rispondere a queste domande motivando la risposta:
- Cosa si intende per gerarchia delle memorie?
  - Cosa si intende per coerenza e consistenza di una memoria?
  - A quale tipo di memoria si applicano?
  - Quali sono i meccanismi messi in atto per garantire la coerenza e la consistenza della memoria nelle architetture mono-processore e nelle architetture multi-processore?
  - Quali sono i vantaggi e svantaggi di ciascun meccanismo?
  - Cosa si intende per hit e miss e come vengono gestiti? Chi li gestisce?
  - Perché le miss sono critiche?
  - Che differenza c’è tra una miss e un page fault? Cos’è un page fault?
  - Cos’è la memoria virtuale?
  - Cos’è la Tabella delle pagine? Dove si trova?
  - Cos’è il “Translation Lookaside buffer”? Dove si trova?
  - A cosa servono la memoria virtuale, il TLB e la tabella delle pagine?
  - Che relazione c’è tra la memoria virtuale e la memoria fisica?
  - Chi utilizza la memoria virtuale? Chi utilizza la memoria fisica?
  - Cosa succede quando la CPU chiede una parola alla memoria?
7. [3] Come vengono gestiti gli I/O da un’architettura? Come funziona il “daisy chain”? Cosa si intende per arbitraggio?
8. [3] Spiegare in cosa consiste una CPU multi-ciclo e il principio su cui è basata. Spiegare perché questo progetto è stato abbandonato in favore della pipeline.

### Registri del register file

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	...	(caller can clobber)
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)



