

1. [7] Data la CPU N. 1, specificare il contenuto di **tutte** le linee (dati e controllo). Indicare quali linee trasportano segnali utili, quando è in esecuzione il seguente segmento di codice [4]:

```
0x00000100 sw $t1, 8($t0)
0x00000104 addi $t1, $s1, 4
0x00000108 and $t0, $s5, $t1
0x0000010C or $t4, $s0, $t1
0x00000110 lw $s2, 32($t0)
0x00000114 sub $s2, $s0, $s2
```

quando la sw è in fase di WB. Modificare la CPU in modo che gestisca correttamente la propagazione anche per le istruzioni di addi.

2. [2] Cos'è un hazard? Quali tipi di hazard vengono identificati? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedente? Motivare la risposta.

3. [5] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS. Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS? Scrivere lo scheletro di un programma assembler di risposta alle eccezioni per il MIPS. Modificare la CPU sopra per potere gestire un'eccezione di "Overflow".

4. [3] Descrivere il funzionamento di una pipeline super-scalare.

5. [3] Trasformare il codice dell'esercizio 1 in un codice che può essere eseguito in modo efficiente da una pipeline multiple issue statica a due vie, nella quale 1 via è riservata alle operazioni di memoria e 1 via alle operazioni sui dati. Quanto si guadagna in tempo di esecuzione complessivo? Qual'è lo speed-up su questo codice? Può essere generalizzato?

6. [6] Progettare e disegnare una memoria cache a 4 vie di 1 Kbyte per banco. Si supponga che ciascun banco abbia un'ampiezza di 8 parole. Si supponga un'architettura MIPS a 64 bit. Dimensionare correttamente tutti i campi. Identificare dove viene cercato il dato associato alla seguente istruzione di lettura: lw \$t0, 520(\$zero) (lettura della parola che inizia all'indirizzo 520 della memoria principale).

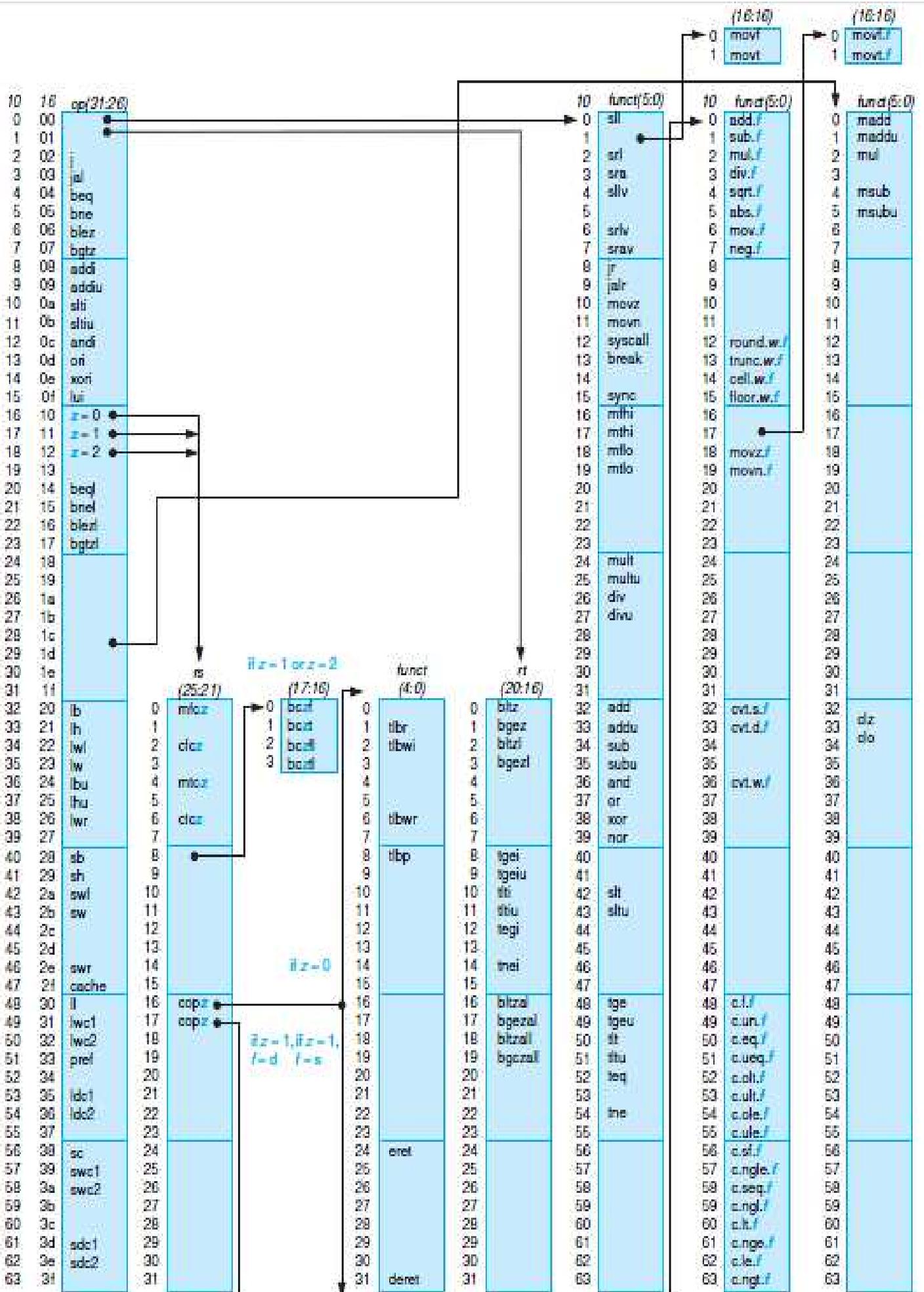
7. [5] Cosa si intende per hit e miss e come vengono gestiti? Chi li gestisce? Cosa si intende per gerarchia delle memorie? Quali sono i principi in base ai quali viene progettata la cache primaria e secondaria? Cosa si intende per coerenza e consistenza di una memoria? A quale tipo di memoria si applicano? Quali sono i meccanismi messi in atto per garantire la coerenza della memoria nelle architetture mono e multi-processore? Quali sono i vantaggi e svantaggi di ciascun meccanismo? Il trasferimento in una gerarchia di memorie avviene tra due livelli consecutivi obbligatoriamente? Perché?

8. [6] Cosa sono i benchmark? Cos'è lo SPEC? Quale ruolo ha? Cos'è il "roof model"? Cosa rappresenta l'intensità aritmetica? Si ricerca ad una CPU o ad un particolare programma? Data una CPU Core i7 Intel con 8 core, a 64 bit (dati float su 64 bit) con 16 cammini di calcolo per ciascun core, in ciascuno dei quali vengono elaborati dati a 128 bit. Detta CPU ha un clock di 4GHz. A questa CPU è associato un sistema di memoria che è in grado di sostenere l'elaborazione con un flusso dati dalla memoria alla CPU pari a 32Gbyte/s. Determinare la massima velocità di elaborazione della CPU per 6 diversi programmi benchmark che hanno intensità aritmetica rispettivamente di: 1/8, 1/4, 1/2, 1, 4, 8, 32 e determinare se le prestazioni sono limitate dalla memoria o dal calcolo.

9. [2] Descrivere problemi e vantaggi delle architetture a parallelismo esplicito: multi-core e cluster, confrontandole tra loro.

Registri del register file

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	...	(caller can clobber)
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)



CPU N. 1

