



Nome:

Matricola:

1. [3] Disegnare uno dei possibili circuiti firmware della moltiplicazione intera.
2. [3 + 2] Scrivere la funzione logica implementata da un addizionatore ad anticipazione di riporto a 4 bit e calcolare il risparmio in tempi di cammino critico.
3. [1] Spiegare cosa si intende per codifica "big endian" o "little endian" e mostrarne un esempio.
4. [3] Spiegare il funzionamento del protocollo di accesso al mezzo CSMA/CD, utilizzato nelle reti Ethernet.
5. [3] Descrivere i protocolli IP e TCP, spiegandone le funzioni e come si interfacciano l'uno all'altro.
6. [6] Si consideri una macchina a stati finiti di Moore caratterizzata da una linea d'ingresso ed una d'uscita. L'uscita vale "1" ogni qualvolta il bit in ingresso è uguale al bit precedente, e "0" in caso contrario. Rappresentarne STG, STT ed esprimere la funzione logica che definisce l'uscita.
7. [7] Evidenziare, nello schema di CPU sottostante, i valori all'ingresso ed all'uscita di ogni registro di pipeline ed i valori di ogni segnale di controllo, supponendo che la CPU stia decodificando l'istruzione: `lw $t5, 12($t1)`, all'interno del frammento di programma seguente:
 

```
sub $t7, $t5, $t6
addi $t7, $t5, 16
lw $t5, 12($t1)
add $t7, $t5, $t6
```

 Evidenziare eventuali hazard. Codice della add e della sub: 0, codice funzione della add: 32, della sub: 34. Codice della lw: 35, della addi 8.
8. [5] Il processore XYZ è progettato in modo da poter gestire fino a 32 MByte di memoria principale con parole di 64 bit. Tale processore viene dotato di una memoria cache a mappatura diretta di capacità 16 kByte e con linee di 8 parole. Dimensionare e disegnare lo schema di tale memoria cache, evidenziando le dimensioni di tutti i campi. Mostrare inoltre come viene memorizzata nella cache la parola di memoria situata all'indirizzo (decimale) 1024, specificandone i campi **index** e **tag**.
9. [2] Disegnare un possibile schema di arbitraggio del bus.

