

Cognome, nome:

Matricola:

1. [4] Si progetti un circuito caratterizzato da tre linee d'ingresso A, B ed S ed una linea d'uscita Y. Se S=0, l'uscita Y coincide con l'ingresso A, mentre quando S=1, l'uscita corrisponde al valore di B negato.
a) Determinare la tabella di verità di Y; b) esprimerla nella forma canonica più adatta; c) semplificarla mediante mappe di Karnaugh; d) se possibile, semplificarla ulteriormente mediante passaggi algebrici; e) disegnarne lo schema circuitale.

2. [3] Si disegni lo schema di un moltiplicatore hardware di parole di 2 bit e se ne calcoli il cammino critico, evidenziando i percorsi di segnale che lo determinano.

3. [8] Progettare e sintetizzare, mediante una macchina a stati finiti di Moore, un contatore modulo 4. Il contatore è caratterizzato da due ingressi: "RESET" e "COUNT", che vengono valutati dalla macchina ad ogni secondo. Quando RESET è 1, il contatore viene azzerato; Quando COUNT è 1, il contatore viene incrementato. Se entrambi gli ingressi vanno alti, prevale il RESET. L'uscita è costituita da due bit che rappresentano il valore binario del contatore.

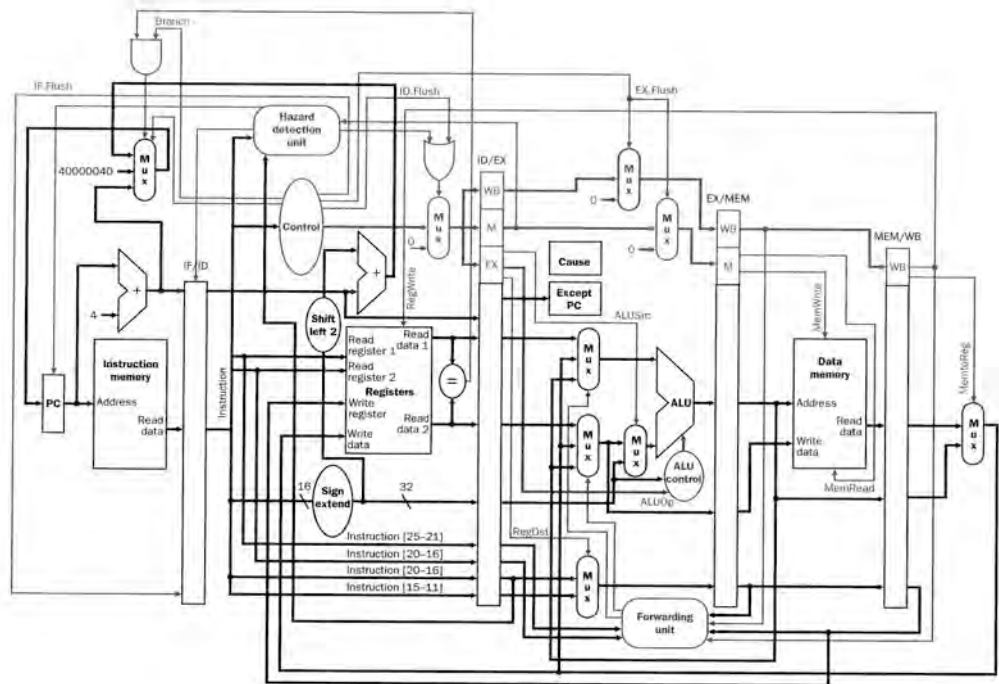
Si determinino STG, STT, STT codificata e struttura circuitale del sistema completo, senza trascurare la gestione del segnale di clock e avendo cura di semplificare il più possibile le funzioni prima di tradurle in circuito.

4. [6] Si supponga che la CPU raffigurata a lato stia eseguendo il seguente codice:

```
0x100: add $1, $2, $3
      lw $4, 0($1)
      addi $5, $5, 1
      beq $6, $6 -16
      sw $7, 0($6)
```

Identificare e descrivere gli eventuali casi di criticità presenti nel codice suindicato.

Determinare il contenuto dei registri ID/EX e EX/MEM (in uscita), trascorsi **4 cicli di clock** dal momento in cui la prima istruzione si trova nella fase di fetch.



5. [5] Un processore caratterizzato da uno spazio di indirizzamento della memoria principale di 64 GByte e da un bus dati di 64 bit viene dotato di una memoria cache associativa a 2 vie, di capacità totale C = 32 MByte e con linee di 8 parole. Dimensionare la cache, evidenziando le dimensioni di tutti i campi, e disegnarne lo schema circuitale dettagliato. Determinare i valori di: byte offset, word offset, index e tag relativi all'indirizzo: $A = 4^{15} + 4^{12} + 4^9 + 4^6 + 4^3 + 4$.

6. [3] Disegnare la struttura circuitale di una cella di memoria RAM dinamica. Data una RAM dinamica di 256 Mbit, disegnarne la struttura circuitale globale, evidenziando come viene gestito il segnale di indirizzo. Calcolare il periodo massimo di refresh, supponendo il tempo di scarica delle celle di memoria pari a 20,48 msec.

7. [3] In un calcolatore, l'introduzione di una memoria cache ha portato ad un incremento globale della velocità di 3 volte, con un hit-rate dell' 80%. Quante volte è più veloce l'accesso a cache (hit) rispetto all'accesso alla memoria principale (miss)? Se l'hit-rate fosse solo del 50%, quanto sarebbe l'incremento globale della velocità?

8. [4] Calcolare le parole di codice valide, la distanza minima, la capacità di rivelazione e di correzione di un codice di correzione errori nel quale, per ogni coppia di bit in ingresso, vengono aggiunti altri due bit uguali al primo bit della coppia. (esplicitare il ragionamento che porta al calcolo dei risultati)