## Architettura degli Elaboratori e delle Reti

Turno 2 - Prof. Federico PEDERSINI **Appello del: 28 giugno 2006** 

Matricola:

Cognome, nome:

- 1. [2] Si rappresenti il numero decimale:  $-4100_{10}$  in base 2, con notazione in complemento a 2, su 16 bit.
- 2. [3] Si rappresenti la struttura circuitale di un moltiplicatore hardware di parole di 4 bit. Su tale struttura si evidenzi il cammino critico e se ne calcoli il valore.
- 3. [6] Scrivere in linguaggio Assembly il seguente frammento di codice, evitando di utilizzare pseudo-istruzioni. (N.B. la divisione si intende intera, cioè trascurando il resto; si ricorda che l'istruzione div in MIPS è di tipo R, e pone il quoziente in lo e resto in hi)

```
int Serie( int n )
{
    if( n < 2 )
        return( n );
    else
        return( Serie(n/2) * Serie(n/3) );
}</pre>
```

- 4. [7] Progettare e sintetizzare, mediante una macchina a stati finiti di Moore, un contatore modulo 4. Il contatore è dotato delle linee d'ingresso "RESET" e "COUNT". Quando RESET va a livello alto, il contatore viene azzerato; Quando COUNT va alto, il contatore viene incrementato. Se entrambi gli ingressi vanno alti, prevale il RESET. L'uscita deve rappresentare il valore binario del contatore. Determinare STG, STT, STT codificata e struttura circuitale della macchina.
- 5. [6] Si consideri una memoria cache 2-associativa, che serve un processore con bus dati di 16 bit e bus indirizzi di 32 bit. La capacità della cache è di 128 kByte e la dimensione di blocco è di 4 parole.
  - Dimensionare la cache, definendo come viene utilizzata la parola d'indirizzo di memoria. Disegnare lo schema <u>dettagliato</u> di tale memoria, esplicitando le dimensioni di tutti i bus. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all' indirizzo: 0x11118888.
- 6. [5] Data una memoria RAM dinamica di 1 Mbyte, disegnarne la struttura circuitale e calcolare il periodo massimo di refresh, supponendo il tempo di scarica delle celle di memoria pari a 2.56 msec.
- 7. [3] Descrivere le strategie possibili per la scelta del banco per la scrittura di un blocco in cache, in memorie cache n-associative. Si discutano e si confrontino le caratteristiche delle diverse strategie.
- 8. [4] Elencare e descrivere le diverse tipologie di hazard, spiegando con un esempio quando insorgono e quali sono le tecniche utilizzate per la loro gestione.