



II Compitino in itinere – 14 giugno 2007

Cognome, nome:

Matricola:

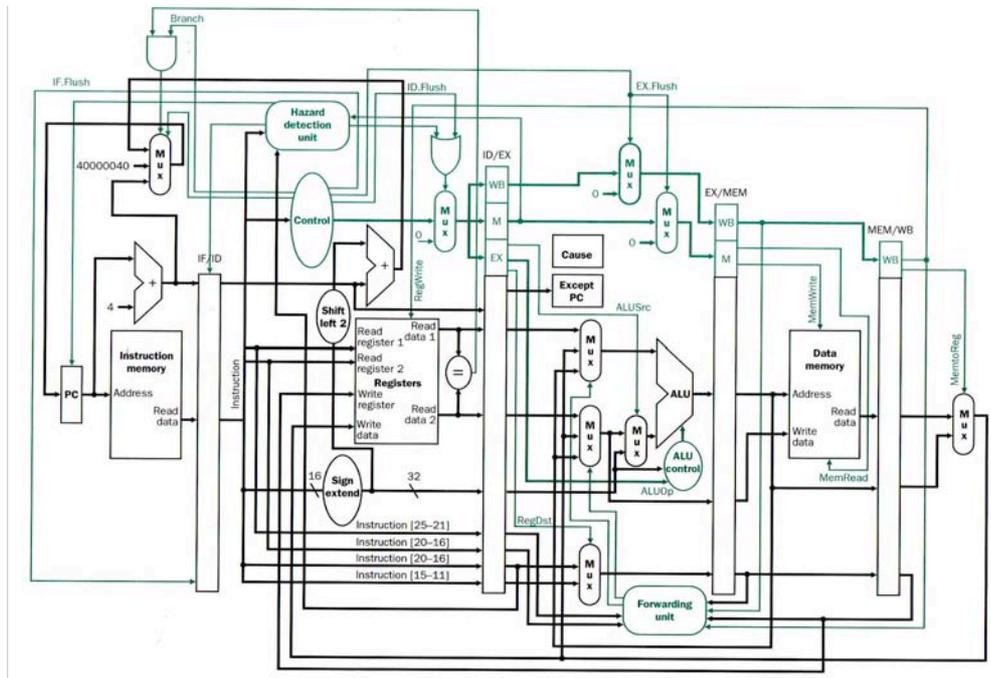
1.

[8] Si consideri la CPU raffigurata a lato, quando essa stia eseguendo il seguente codice:

```
0x300: add $t2, $t2, $t3
      lw $s1, 20($t0)
      addi $s6, $s6, +1
      beq $s0, $s1, +12
```

Considerando il periodo di clock in cui l'istruzione 'beq' si trova in fase di decodifica, determinare il contenuto dei registri: ID/EX e MEM/WB.

Indicare e descrivere, specificandone le conseguenze, eventuali casi di criticità nel codice suindicato.



2. [2] Spiegare la differenza tra le modalità "datagramma" e "circuito virtuale" in reti a commutazione di pacchetto.

3. [6] Un processore caratterizzato da bus indirizzi e bus dati entrambi di 32 bit viene dotato di una memoria cache 4-associativa, di capacità totale $C = 256$ Kbyte e con linee di 16 parole. Dimensionare la cache, evidenziando le dimensioni di tutti i campi e disegnare lo schema dettagliato di tale memoria. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all'indirizzo: 0x12345678.

4. [5] Disegnare lo schema strutturale interno di una memoria RAM dinamica di 16 Mbit e spiegare la funzione delle linee CAS e RAS. Calcolare il massimo periodo di refresh (cioè il tempo che intercorre tra due refresh consecutivi), sapendo che le celle di memoria garantiscono il mantenimento dello stato per un tempo massimo di 20,48 msec.

5. [4] Si vogliono incrementare le prestazioni di un calcolatore mediante l'introduzione di una memoria cache (di cui il calcolatore è originariamente sprovvisto). Il tempo complessivo di lettura/scrittura in cache è di 2 nsec, mentre per la memoria principale occorrono 18 nsec.

- a) Di quanto aumenta la velocità del calcolatore in caso di miss-rate = 50% ?
- b) Quanto devono valere hit-rate e miss-rate della cache per ottenere un aumento di velocità di 5 volte?
- c) Con le percentuali di cui al punto b), quant'è il massimo aumento di velocità idealmente raggiungibile con una memoria cache infinitamente veloce?

6. [4] Si consideri un codice di controllo errori che aggiunge, ad ogni coppia di bit del messaggio originale, altri 3 bit, di cui i primi due sono uguali alla coppia originale, mentre il terzo è 0 se i due bit originali sono uguali, 1 se diversi. Calcolare la distanza minima del codice, la capacità di rivelazione e la capacità di correzione.

7. [3] Descrivere il funzionamento del DMA (Direct Memory Access), specificandone la struttura hardware e descrivendo in dettaglio come avvengono i trasferimenti. Indicare inoltre quali sono le differenze tra questa tecnica e le possibili alternative.

8. [3] Elencare e descrivere le tecniche esistenti per la minimizzazione degli stalli dovuti a criticità di controllo.