

Architetture e reti logiche

Esercitazioni VHDL

a.a. 2008/09

Concetti base di VHDL

Stefano Ferrari



UNIVERSITÀ DEGLI STUDI DI MILANO
DIPARTIMENTO DI TECNOLOGIE DELL'INFORMAZIONE

Stefano Ferrari ★ Università degli Studi di Milano

Architetture e reti logiche — VHDL ◇ Concetti base di VHDL ◇ a.a. 2008/09 - p. 1/8

Breve storia del VHDL

Il VHDL è nato negli anni '80 come progetto del U.S. Department of Defense:

- version 7.2: prima versione pubblica del linguaggio disponibile nel 1985;
- IEEE Std 1076-1987: primo standard completo;
- IEEE Std 1076-1993: versione aggiornata del linguaggio rilasciata nel 1994;
- IEEE Std 1164: definisce un package standard per il tipo di dato MVL9 (Multi Valued Logic, 9 valori);
- IEEE Std 1076.1-1999: definisce l'estensione VHDL per dispositivi analogici e a segnali misti.

Stefano Ferrari ★ Università degli Studi di Milano

Architetture e reti logiche — VHDL ◇ Concetti base di VHDL ◇ a.a. 2008/09 - p. 2/8

Modellazione in VHDL

La specifica concettuale di un componente ne descrive:

- l'**interfaccia**;
- la **funzionalità**.

Lo sviluppo di un modello VHDL a partire dalla specifica concettuale avviene attraverso un processo di raffinamento basato sulla ripetizione delle fasi:

- compilazione;
- simulazione.

Ad ogni fase segue una sessione di analisi dei risultati per decidere come proseguire nel progetto.

Design Entity

L'unità di base di un modello VHDL consiste nella **Design Entity**, che può rappresentare un intero sistema, un circuito stampato, un circuito integrato oppure una porta logica elementare.

La Design Entity di un modello è composta da:

- una **Entity Declaration**, che ne definisce l'interfaccia;
- una **Architecture Body**, che ne definisce le funzionalità.

All'interno di un modello VHDL, ad una stessa Entity Declaration possono corrispondere diverse Architecture Body.

Modello VHDL

Un modello VHDL può essere creato a diversi livelli di astrazione, secondo un processo di raffinamento del modello iniziale.

Una Architecture può avere una descrizione:

- comportamentale o **behavioral**:
 - descrizione algoritmica;
- **dataflow**:
 - descrizione a livello di flusso dati tra registri;
- strutturale o **structural**:
 - descrizione di strutture composte dall'interconnessione di componenti di livello gerarchico inferiore.
- mista.

Struttura di un modello VHDL

- Ad una singola interfaccia di un modello VHDL possono corrispondere diverse Architecture Body ciascuna descritta ad un diverso livello di astrazione (comportamentale, dataflow, strutturale o mista).
- Ogni diversa architettura rappresenta una diversa realizzazione della stessa funzionalità del modello per mettere in luce un diverso aspetto progettuale:
 - fornisce una diversa implementazione di una stessa funzionalità.

Concetti base del VHDL

Il VHDL supporta:

- la descrizione a diversi livelli di astrazione della funzionalità del modello;
- la descrizione di componenti concorrenti;
- la descrizione gerarchia del sistema;
- la modellazione dell'andamento temporale dei segnali attraverso la descrizione di forme d'onda.

Ambiente di sviluppo

Un ambiente CAD per il VHDL generalmente comprende:

- un insieme di librerie:
 - fornisce le descrizioni di componenti già pronte per essere utilizzate;
- un compilatore:
 - controlla la correttezza della sintassi della descrizione;
 - converte il codice VHDL per le fasi seguenti (**sintesi**);
- un simulatore:
 - permette di sottoporre il componente progettato a prove di validazione;
 - tipicamente, permette di tracciare i segnali (virtuali) generati durante la simulazione.