



CORSO DI LAUREA IN INFORMATICA
CORSO DI LAUREA IN SICUREZZA DEI SISTEMI E DELLE RETI INFORMATICHE

Architetture e reti logiche

anno accademico 2003–2004

docente: Nello SCARABOTTOLO

esercitatore: Stefano FERRARI

Prova pratica di VHDL

Componente `reg6_as_reset`

Progettare in VHDL un registro a 6 bit, con *reset* asincrono.

L'interfaccia della entity da realizzare è data nel file `reg6_as_reset.vhdl`. *Tale interfaccia non può essere modificata.*

Il registro ha in ingresso tre segnali:

- `X`, costituito da un bus di 6 bit,
- `clock`, di tipo bit,
- `reset`, di tipo bit,

e un segnale in uscita:

- `Z`, costituito da un bus di 6 bit.

Ogni segnale del bus `Z`, assume il valore dell'omologo segnale del bus `X`, in modo sincrono rispetto al segnale `clock`. Quando il segnale di `reset` assume il valore '1', l'uscita assume il valore "000000" in modo asincrono rispetto al segnale `clock`. La funzionalità dell'operazione di `reset` deve essere prioritaria rispetto a qualsiasi altra funzionalità del registro e asincrona rispetto al segnale `clock`.