



Architetture e reti logiche

anno accademico 2003–2004

docente: Nello SCARABOTTOLO

esercitatore: Stefano FERRARI

Prova pratica di VHDL

Componente `mux8`

Progettare in VHDL un multiplexer a 8 vie.

L'interfaccia della entity da realizzare è data nel file `mux8.vhdl`. *Tale interfaccia non può essere modificata.*

Il multiplexer ha in ingresso due segnali:

- X, costituito da un bus a 8 bit,
- SEL, costituito da un bus a 3 bit,

e un segnale in uscita:

- Z, di tipo bit.

In ogni istante, il valore assunto da Z deve essere quello dell'*i*-esimo segnale di X, dove *i* è pari al numero risultante dall'interpretazione binaria dei valori di SEL.

Alcuni esempi di come il multiplexer deve comportarsi:

SEL			X								Z
2	1	0	7	6	5	4	3	2	1	0	
1	0	0	0	1	0	0	1	0	1	1	0
1	0	0	0	1	0	1	1	0	1	1	1
0	0	0	0	1	0	0	1	0	1	1	1
0	0	0	0	1	0	0	1	0	1	0	0
0	1	1	0	1	0	0	0	0	1	1	0
0	1	1	0	1	0	0	1	0	1	1	1