



# Architetture e reti logiche

anno accademico 2003–2004

docente: Nello SCARABOTTOLO  
 esercitatore: Stefano FERRARI

## Prova pratica di VHDL

### Componente dec\_7\_esa

Progettare in VHDL un decoder per un display a sette segmenti.

L'interfaccia della entity da realizzare è data nel file dec\_7\_esa.vhdl. *Tale interfaccia non può essere modificata.*

L'ingresso è costituito da un bus a quattro segnali, i quali devono essere interpretati come un numero in notazione binaria. L'uscita agisce su un display a sette segmenti rappresentato in figura 1. Il decoder deve generare un segnale di uscita tale per cui vengano attivati i segmenti che formano il simbolo in notazione esadecimale del numero in ingresso.

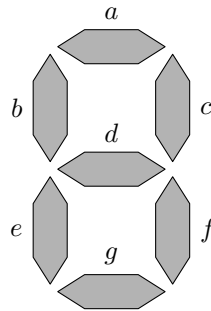


Figura 1: Display a sette segmenti

Per esempio, al segnale in ingresso “0010”, che codifica il numero 2, deve corrispondere l'attivazione dei soli led  $\{a, c, d, e, g\}$ , tramite il segnale in uscita “1011101”, mentre al segnale in ingresso “1011”, che codifica il numero 11 (B in esadecimale), deve corrispondere l'attivazione dei soli led  $\{b, d, e, f, g\}$ , tramite il segnale in uscita “0101111”:

ingressi				led accesi						
$X_3$	$X_2$	$X_1$	$X_0$	$a$	$b$	$c$	$d$	$e$	$f$	$g$
0	0	1	0	1	0	1	1	1	0	1
1	0	1	1	0	1	0	1	1	1	1

Di seguito vengono riportate le configurazioni di led corrispondenti a ciascun valore del segnale di ingresso.

