



CORSO DI LAUREA IN INFORMATICA
CORSO DI LAUREA IN SICUREZZA DEI SISTEMI E DELLE RETI INFORMATICHE

Architetture e reti logiche

anno accademico 2003–2004

docente: Nello SCARABOTTOLO

esercitatore: Stefano FERRARI

Prova pratica di VHDL

Componente `cont8_as_reset_up`

Progettare in VHDL un contatore a 8 bit, con *reset* asincrono e incremento positivo o negativo.

L'interfaccia della entity da realizzare è data nel file `cont8_as_reset_up.vhdl`. *Tale interfaccia non può essere modificata.*

Il contatore ha in ingresso tre segnali:

- `clock`, di tipo `std_logic`,
- `reset`, di tipo `std_logic`,
- `up`, , di tipo `std_logic`

e un segnale in uscita:

- `Z`, costituito da un bus a 8 `std_logic`.

Ogni volta che il segnale `clock` presenta un fronte di salita, il contatore incrementa di uno il valore assunto dal segnale `Z` se il segnale `up` vale '1', o lo decrementa, altrimenti. Il segnale `Z` deve essere interpretato come un numero in notazione binaria.

Quando il segnale `reset` assume il valore '1', il segnale `Z` deve essere posto al valore "00000000". La funzionalità dell'operazione di `reset` deve essere prioritaria rispetto a qualsiasi altra funzionalità del contatore e asincrona rispetto al segnale `clock`.

L'uso del tipo `std_logic` è consigliato per facilitare la scrittura del componente.