



CORSO DI LAUREA IN INFORMATICA  
CORSO DI LAUREA IN SICUREZZA DEI SISTEMI E DELLE RETI INFORMATICHE

## Architetture e reti logiche

anno accademico 2003–2004

docente: Nello SCARABOTTOLO

esercitatore: Stefano FERRARI

### Prova pratica di VHDL

#### Componente `cont6_as_reset`

Progettare in VHDL un contatore a 6 bit, con *reset* asincrono.

L'interfaccia della entity da realizzare è data nel file `cont6_as_reset.vhdl`. *Tale interfaccia non può essere modificata.*

Il contatore ha in ingresso due segnali:

- `clock`, di tipo `std_logic`,
- `reset`, di tipo `std_logic`,

e un segnale in uscita:

- `Z`, costituito da un bus a 6 `std_logic`.

Ogni volta che il segnale `clock` presenta un fronte di salita, il contatore incrementa di uno il valore assunto dal segnale `Z`. Quest'ultimo deve essere interpretato come un numero in notazione binaria.

Quando il segnale `reset` vale '1', il segnale `Z` deve essere posto a "000000". La funzionalità dell'operazione di reset deve essere prioritaria rispetto a qualsiasi altra funzionalità del contatore e asincrono rispetto al segnale `clock`.

L'uso del tipo `std_logic` è consigliato per facilitare la scrittura del componente.