



CORSO DI LAUREA IN INFORMATICA
CORSO DI LAUREA IN SICUREZZA DEI SISTEMI E DELLE RETI INFORMATICHE

Architetture e reti logiche

anno accademico 2003–2004

docente: Nello SCARABOTTOLO
esercitatore: Stefano FERRARI

Prova pratica di VHDL

Componente `cont5_dec_as_load`

Progettare in VHDL un contatore a 5 bit, con *load* asincrono.

L'interfaccia della entity da realizzare è data nel file `cont5_dec_as_load.vhdl`. *Tale interfaccia non può essere modificata.*

Il contatore ha in ingresso tre segnali:

- `clock`, di tipo `std_logic`,
- `load`, di tipo `std_logic`,
- `X`, costituito da un bus a 5 `std_logic`,

e un segnale in uscita:

- `Z`, costituito da un bus a 5 `std_logic`.

Ogni volta che il segnale `clock` presenta un fronte di salita, il contatore decrementa di uno il valore assunto dal segnale `Z`. Quest'ultimo deve essere interpretato come un numero in notazione binaria.

Quando il segnale `load` assume il valore '1', il segnale `Z` deve essere posto al valore assunto da `X`. La funzionalità dell'operazione di caricamento deve essere prioritaria rispetto a qualsiasi altra funzionalità del contatore e asincrona rispetto al segnale `clock`.

L'uso del tipo `std_logic` è consigliato per facilitare la scrittura del componente.