

Architettura degli Elaboratori e delle Reti Turno 2 – Prof. Federico PEDERSINI Appello del 18 giugno 2009

- **1.** [5] Si progetti un circuito caratterizzato da 4 bit di ingresso e un bit d'uscita, il quale vale '1' se **il numero di '1' presenti sugli ingressi è 2 o 3**, altrimenti vale '0'.
- a) Determinare la tabella di verità della funzione logica di uscita:
- b) scrivere la funzione nella forma canonica più adatta;
- c) semplificarla mediante mappa di Karnaugh;
- d) se possibile, semplificarla ulteriormente mediante passaggi algebrici.
- **2.** [8] Si sintetizzi una macchina a stati finiti (di Moore) che realizza un contatore modulo 4 che conta **i fronti di discesa** del valore binario fornito su una linea d'ingresso. Il valore binario in ingresso viene valutato dalla macchina **ogni secondo**. L'uscita è costituita da 2 bit che rappresentano, in codice binario, il valore del contatore.
- Si determinino STG, STT, STT codificata e struttura circuitale del sistema completo, senza trascurare la gestione del segnale di clock e avendo cura di semplificare il più possibile le funzioni prima di tradurle in circuito.
- **3.** [3] Elencare e descrivere i criteri più comuni utilizzati nelle memorie cache a più vie per la scelta del banco in cui scrivere un nuovo blocco.
- **4.** [6] Un processore caratterizzato da uno spazio di indirizzamento della memoria principale di 64 GByte e da un bus dati di 64 bit viene dotato di una memoria cache associativa a 4 vie, di capacità totale C = 8 MByte e con linee di 16 parole.

Dimensionare la cache, evidenziando le dimensioni di tutti i campi, e disegnarne lo schema circuitale dettagliato. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all' indirizzo: $A = 2^{24} + 2^{18} + 2^{12} + 2^{8} + 15$, determinando i valori di: byte offset, word offset, index e tag.

- **5.** [3] Si vogliono incrementare le prestazioni di un calcolatore mediante l'introduzione di una memoria cache (di cui il calcolatore è originariamente sprovvisto). Il tempo complessivo di lettura/scrittura in cache è di 1.25 nsec, mentre per la memoria principale occorrono 10 nsec.
- a) Di quanto aumenta la velocità del calcolatore in caso di miss-rate = 10%?
- b) Con che valore di miss-rate si ottiene un aumento di velocità del calcolatore di 5 volte?
- **6.** [4] Si consideri un codice di controllo errori che, semplicemente, replica ogni coppia di bit per altre due volte. Elencare le parole di codice valide, calcolare il costo del codice e la sua capacità di correzione.
- **7.** [4] Si traducano le seguenti pseudoistruzioni: **a)** in Assembly MIPS nativo e **b)** in linguaggio macchina MIPS (specificando dimensione in bit e valore dei campi di ogni istruzione):

bgei \$16, +16, -16 # branch on greater or equal than divi $$1, $2, 2^{22}$$ # divide immediate

8. [3] Spiegare il funzionamento dell'algoritmo di "backoff" utilizzato nel protocollo "Ethernet" e spiegarne la necessità.

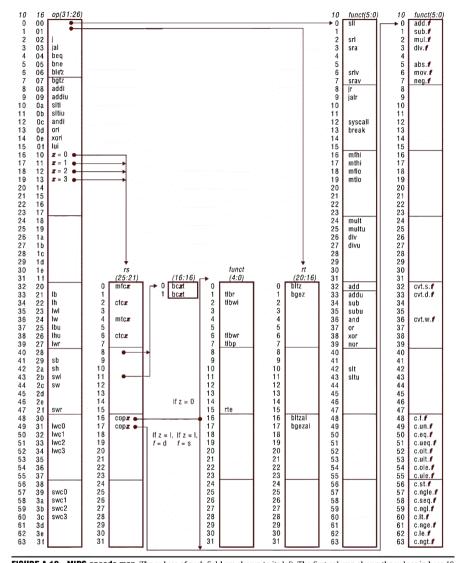


FIGURE A.19 MIPS opcode map. The values of each field are shown to its left. The first column shows the values in base 10 and the second shows base 16 for the op field (bits 31 to 26) in the third column. This op field completely specifies the MIPS operation except for 6 op values: 0, 1, 16, 17, 18, and 19. These operations are determined by other fields, identified by pointers. The last field (funct) uses "f" to mean "g" if g = 16 and g = 17 or "g" if g = 17 and g = 17. The second field (rs) uses "g" to mean "g", "g", "g", "g", "g", "g" or "g" if g = 16, 17, 18, or 19, respectively. If g = 16, the operation is specified elsewhere: if g = 17 and g = 1, then the operations are in the last field with g = 1, then the operations are in the last field with g = 1.