



Architetture degli elaboratori e delle reti

Docenti: Alberto Borghese, Federico Pedersini
Dipartimento di Scienze dell'Informazione
Università degli Studi di Milano

Turno 2

Prof. Federico PEDERSINI
pedersini@dsi.unimi.it

Architetture Elaboratori e Reti (12 CFU)



❖ Lezioni:

- Prof. Federico Pedersini (pedersini@dsi.unimi.it)

❖ Esercitazioni:

- Dott. Massimo Marchi (marchi@dsi.unimi.it)

❖ Orario e Aule:

- | | | |
|-----------|-----------------|-------------------------|
| ❖ Lunedì | Ore 15.30-17.30 | Aula V3 – Lezione |
| ❖ Martedì | Ore 15.30-17.30 | Aula V3 – Lezione |
| ❖ Giovedì | Ore 10.30-12.30 | Aula V1 – Esercitazione |
| ❖ Giovedì | Ore 15.30-17.30 | Aula V3 – Lezione |

- ❖ Orario di ricevimento: dopo le lezioni



❖ **Appunti + slides**

- Slides delle lezioni: homes.dsi.unimi.it/~pedersin/AER.html
- Sito esercitazioni: marchi.usr.dsi.unimi.it/Teaching/Architetture09/index.php

❖ **Testo di base:**

- D.A. Patterson, J.L. Hennessy,
“Computer Organization & Design: The Hardware/Software Interface”,
Morgan Kaufmann, 3rd Edition, 2005.
- Edizione italiana:
D.A. Patterson, J.L. Hennessy,
“Struttura e Progetto dei Calcolatori”,
Zanichelli, 2006.

❖ **Testi integrativi:**

- W. Stallings, “*Computer Organization & Architecture*”, Prentice Hall, 2003.

Approfondimento sulla progettazione:

- F. Fummi, M.G. Sami, C. Silvano, “*Progettazione digitale*”, McGrawHill.



❖ **ESAME: Prova scritta + orale**

- Sintesi circuiti logici (combinatori, sequenziali)
- Programmazione Assembly / Linguaggio macchina
- Domande / esercizi su concetti presentati nel corso (CPU, memorie, prestazioni, reti, ...)

❖ **2 prove in itinere durante l'anno:**

- Sostituiscono la prova SCRITTA, prevista comunque la prova orale.
 1. Circuiti digitali, programmazione Assembly, linguaggio macchina
 2. CPU, memorie, periferiche, valutaz. prestazioni
- **Per chi segue le lezioni**



Obiettivo del corso

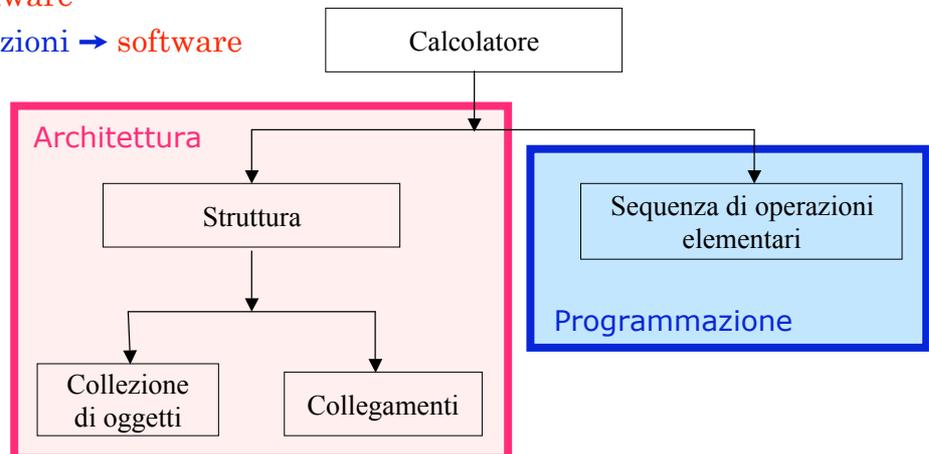
OGGETTO: Struttura e funzionamento di un calcolatore

1. Introduzione
2. Fondamenti di elettronica digitale
 - Logica combinatoria
 - Macchine sequenziali
3. Il linguaggio del calcolatore
 - Programmazione Assembly
 - Linguaggio macchina (ISA – Instruction Set Architecture)
4. Come funziona un calcolatore moderno
 - CPU
 - memorie (cache)
 - Input/Output (bus, interrupt e DMA, reti di TLC)
5. Valutazione prestazioni di calcolo



Architettura di un elaboratore

- ❖ **Algoritmo:** procedura di soluzione di un problema logico-matematico.
- ❖ **Elaboratore:** macchina che esegue algoritmi
 - Esecuzione di una sequenza di istruzioni (programma)
 - ✦ calcoli, operazioni logiche, gestione automatica di informazioni
 - **Struttura di un elaboratore:**
 - Macchina → hardware
 - Sequenza di istruzioni → software



Algebra binaria (– di Boole)



Tutto è codificato utilizzando l'algebra binaria (algebra di Boole)

- ❖ 2 simboli: **True/False** (0/1 , High/Low)

Con tali simboli si rappresentano:

- ❖ **Variabili** (numeri, testo, musica, immagini, ...)
- ❖ **Operazioni** (linguaggio macchina)
- ❖ Informazioni di **controllo** (funzionamento della macchina)

- ❖ **Motivo**: comodità di implementazione con **circuiti elettronici**
 - Elettronica Digitale: 2 livelli di tensione stabili: **Low** (V–), **High** (V+)

"0" ↔ Falso ↔ LOW , "1" ↔ Vero ↔ HIGH

Storia dell'elaboratore (i primi passi)

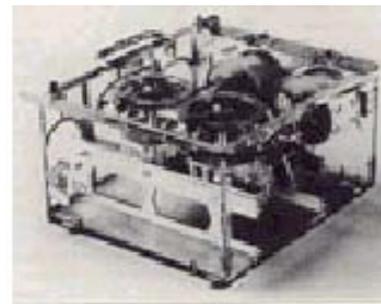
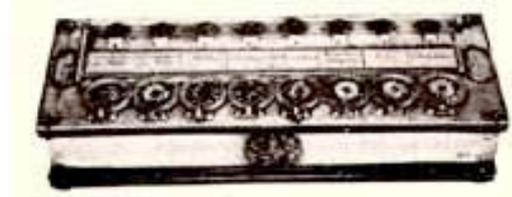
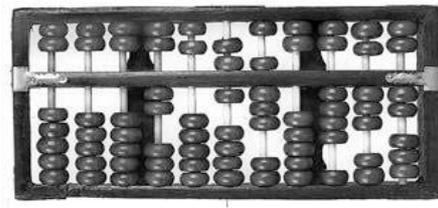


- ❖ **Applicazione originaria:**
Calcolo automatico

- ❖ **Babilonesi, X secolo a.C.**
 - Abaco
 - Evoluzioni fino a 1000 d.C.

- ❖ **B. Pascal, 1642**
 - Pascalina
 - (somma e sottrazione)

- ❖ **G. von Leibnitz, 1673**
 - Macchina calcolatrice
 - Moltiplicazione, divisione

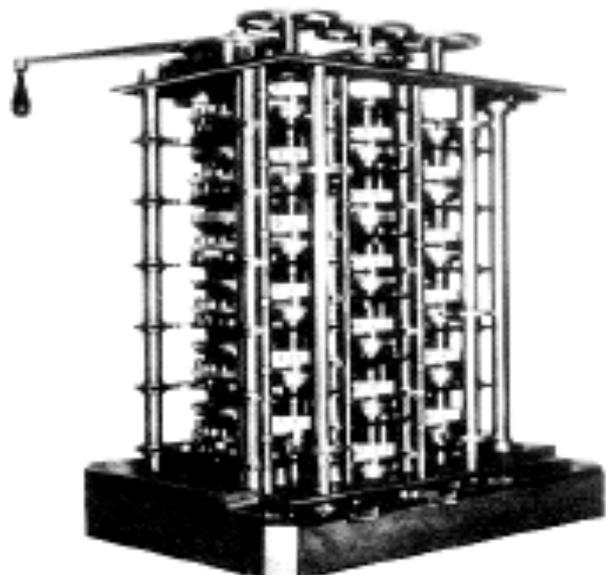




- ❖ Applicazioni alternative: CAM (Computer-Aided Manufacturing)
- ❖ Telaio Jacquard (1801): prima macchina programmabile della storia
 - Programma di lavoro su schede
 - Macchina dedicata



- ❖ Charles Babbage: padre del calcolatore moderno. Inventa: *“Analytical Engine”* (1840)
 - Azionata a vapore!
 - Programmabile: programmi su schede
- ❖ Ada Lovelace (1830):
 - Formalizzazione del concetto di programma





Sviluppo prestazioni:

- ❖ **1890:** H. Hollerith – Schede perforate a lettura elettromeccanica (relais).
 - Meccanismo più semplice di gestione del controllo
- ❖ **1932:** T.J. Watson rileva il brevetto e fonda la “International Business Machines” (**IBM**).
- ❖ **1939:** ABC – Atanasoff Berry Computer (University of Iowa)
 - Elettromeccanico: ampio utilizzo di elettrovalvole e relé.
 - Memoria rigenerativa (cancellabile e riscrivibile)

Miniaturizzazione:

- ❖ Sviluppo di calcolatrici da tavolo meccaniche (diffusione nel commercio)

La *prima* generazione (ENIAC: 1946-1955)



Avvento dell'elettronica (valvole: diodo, triodo).

- Aumento di prestazioni di 1,000 volte
- ❖ **ENIAC** (*Electronic Numerical Integrator And Calculator*) (University of Pennsylvania, 1946)
 - 20 registri da 10 cifre
 - 18,000 valvole
 - 70,000 resistenze
 - 10,000 condensatori
 - 6,000 interruttori
 - Dimensioni: 30 x 2.5 x 3 metri
 - Peso: 30 tonnellate
 - Consumo: 140 kW
 - 100 operazioni/s
 - Programmazione manuale



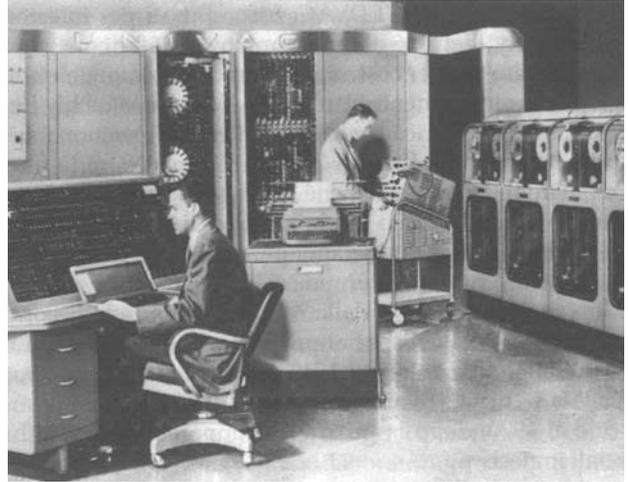


La *prima* generazione (1945-1951)

- ❖ **Programma memorizzato su supporto intercambiabile**
 - (John Von Neumann, 1945)

- ❖ **Eckbert, Mauchly**
 - **EDVAC** (V. Neumann),
 - **Mark I**, 1948
 - **EDSAC** (Cambridge, 1949)

- ❖ **UNIVAC I (Universal Automatic Computer),**
 - Eckbert, Mauchly, 1951.
 - **Primo calcolatore commercializzato (1 M\$)**



Applicazioni scientifiche / gestionali

Applicazioni scientifiche:

- ❖ **UNIVAC: calcolo scientifico.**
 - Calcoli lunghi e complessi

Applicazioni gestionali:

- ❖ **IBM: mod. 701 (1953) e 702 (1955): applicazioni gestionali**
 - Calcoli semplici e ripetitivi
 - Grandi quantità di dati

- ❖ **IBM 704 - Memoria con nuclei di ferrite**
 - 32,000 parole
 - Velocità di commutaz. di pochi μ sec (I/O rate: $1 \div 10$ kHz)

- ❖ **IBM 709 (1958) – Introduzione del "canale" di I/O.**



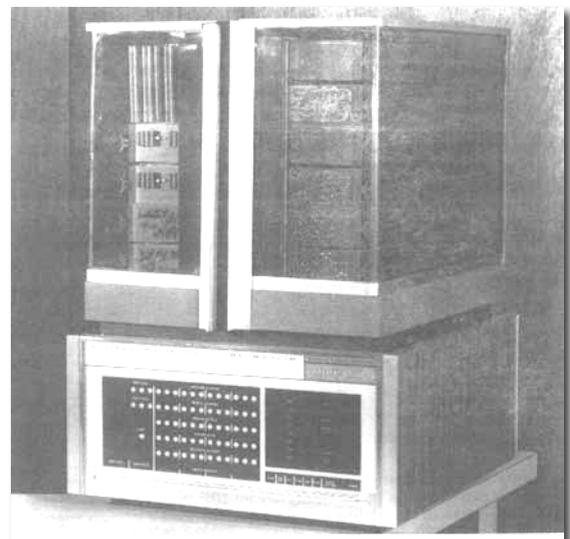
Introduzione **elettronica allo stato solido** (1947)
e memorie a nuclei ferromagnetici.

- ❖ Introduzione del FORTRAN (Formula Translator).
 - Primo linguaggio ad alto livello
- ❖ IBM 7000 – **Transistors** anziché valvole
- ❖ IBM 7094 (1962) – evoluzione del 709, a stato solido.
- ❖ CDC 6600 - Primo supercalcolatore. 1962.
- ❖ CDC 3600 - Multi-programmazione. 1963.
- ❖ Digital PDP-1 (1957)



Avvento dei **circuiti integrati (LSI)**

- ❖ **IBM 360 (1964)** - Prima famiglia di calcolatori
 - Costo: 360,000 \$
 - Registri a 32 bit.
 - Clock 1÷4 Mhz.
- ❖ **Digital PDP-8 (1965)**
 - Primo minicalcolatore
 - Costo: 20,000 \$
- ❖ **Digital PDP-11 (1970)**
 - diventa uno standard negli ambienti accademici



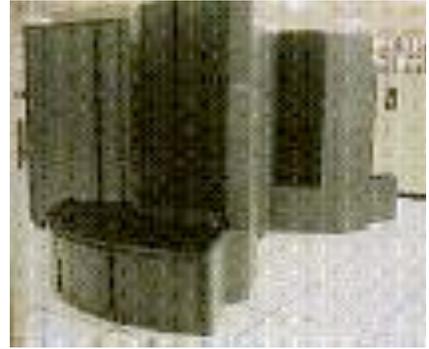


La quarta generazione (1971-1977)

- ❖ Miniaturizzazione su larga scala (**VLSI**)
- ❖ Introduzione del **microprocessore**
Memorie a semiconduttore

- ❖ **Prestazioni: Super-computers**
 - **Cray I (1976):** primo supercalcolatore Vettoriale

- ❖ **Miniaturizzazione, diminuzione costi:**
 - Intel 4004 (1971) – 4 bit
 - ✦ 2300 transistor
 - Intel 8080 (1974) – 8 bit
 - Motorola 6502
 - Xerox Research Labs & Steve Jobs:
primo **Personal Computer: Apple II (1977)**
 - ✦ Processore Motorola (6502)
 - ✦ Costo medio 2,000\$



Quarta/quinta generazione

- ❖ **IBM: il primo PC (1981)**
 - **Sistema operativo MS-DOS (Microsoft di Bill Gates)**
 - **Processore Intel 8086.**
 - **Coprocessore Matematico Intel 8087.**

- ❖ **La quinta generazione (1977-....)**
PC come Workstation
 - **Potenziamento della grafica. Coprocessore grafico.**
 - **Multi-processori.**
 - **Introduzione di gerarchie di calcolo.**
 - **Processori RISC (Reduced Instruction Set Code).**



Sesta generazione (futuro)

- ❖ **Tecnologie**
 - Calcolatori ottici.
 - Calcolatori chimici.
- ❖ **Applicazioni**
 - ❖ PC + telefono
 - ❖ Wearable PC
- ❖ **Co-processor on-board, specializzati per:**
 - ricerca in data-base.
 - trattamento grafica.
 - trattamento video.
- ❖ **Macchine parallele**
- ❖ **Macchine intelligenti e sensibili.**
- ❖ **Sistemi multimediali.**



Legge di MOORE

Legge di MOORE:
 Ogni circa **18 mesi raddoppiano le prestazioni:**
 la velocità di calcolo,
 il numero di transistor nei chip,
 la capacità delle memorie.

Anno	Nome	Dimensoni (m ³)	Potenza (Watt)	Prestazioni (somme/sec)	Memoria (kbyte)	Prezzo rivalutato	Prezzo/prestazioni (v.s. UNIVAC)
1951	UNIVAC I	28	124 500	1 900	48	4 996 749	1
1964	IBM 360 modello 50	1.68	10 000	500 000	64	4 140 257	318
1965	PDP-8	0.23	500	330 000	4	66 071	13 135
1976	Cray-1	1.62	60 000	166 000 000	32	8 459 712	51 604
1981	IBM-PC	0.03	150	240 000	256	4 081	154 673
1991	HP900 modello 750	0.06	500	50 000 000	16 384	8 156	16 122 356
1996	Pentium Pro 200 Mhz	0.06	500	400 000 000	16 384	4 400	239 078 908
2003	Pentium 4 3.0 GHz	0.06	500	6 000 000 000	262 144	1 000	11 452 000 000



Legge di Moore: alcuni problemi

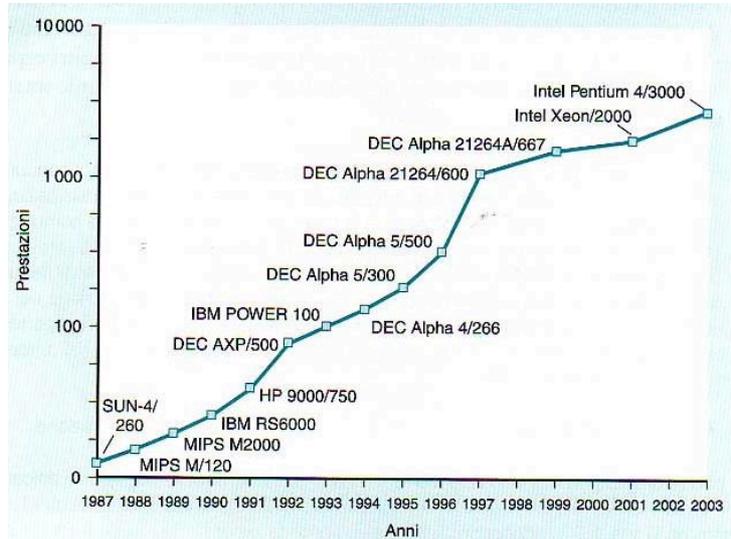
- ❖ La **velocità delle memorie** non cresce con la velocità del processore.
 - Memorie gerarchiche – cache.
 - Aumento della parola di memoria.
 - high-speed bus (gerarchie di bus)

- ❖ **Tecniche di velocizzazione dell'elaborazione.**

- Predizione dei salti.
- Scheduling ottimale delle istruzioni (analisi segmenti di codice).
- Esecuzione speculativa.

- ❖ **Tecniche di velocizzazione del trasferimento dati (I/O)**

- Trasferimento diretto in memoria (DMA)
- Velocizzazione e specializzazione dei bus



Evoluzione della potenza di calcolo (1987–2003)
Patterson-Hennessy, 2006



Evoluzione INTEL: 1970 ÷ 1990

	4004	8008	8080	8086	8088
Introduced	15 nov 71	1 Apr 72	1 Apr 74	8 Jun 76	6 Jan 79
Clock speed	108 kHz	108 kHz	2 Mhz	5-10 Mhz	5,8 Mhz
Bus width	4 bit	8 bit	8 bit	16 bit	8 bit
No. transistors	2,300	3,500	6,000	29,000	29,000
Memory	640byte	16KByte	64 KByte	1MByte	1MByte
Virtual Memory	-	-	-	-	-

	80286	80386 DX	80386 SX	80486 DX
Introduced	1 feb 82	17 Oct 85	16 Jun 88	10 Apr 89
Clock speed	6-12.5MHz	16-33MHz	16-33Mhz	25-50MHz
Bus width	16 bit	32 bit	16 bit	32 bit
No. transistors	134,000	275,000	275,000	1,200,000
Addressable Memory	16Mbyte	4GByte	4GByte	4GByte
Virtual Memory	1 GByte	64 TByte	64 TByte	64 TByte
Observations	15 milioni in 6 anni	Multi-tasking	64 TByte	Co-processore nella CPU

	80486 SX	Pentium	Pentium Pro	Pentium II
Introduced	22 Apr 91	22 Mar 93	1 Nov 95	7 May 97
Clock speed	6-133MHz	60-166MHz	150-200Mhz	200-300Mhz
Bus width	32 bit	32 bit	32/64 bit	32/64 bit
No. transistors	1,185,000	3,100,000	5,500,000	7,500,000
Addressable Memory	4 Gbyte	4 GByte	64 GByte	64 GByte
Virtual Memory	64 TByte	64 TByte	64 TByte	64 TByte
Observations		Pipeline spinto	Cache 2 livelli	MMX, memorie alta velocità



Evoluzione Intel – 1990 ÷ ...

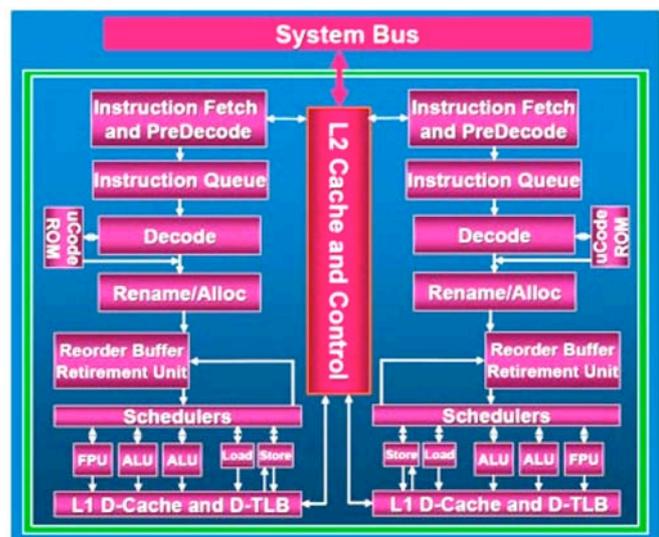
	Pentium III	Pentium 4	Pentium III Xeon
Introduced	26 Feb 99	Nov 2000	2001
Clock speed	450-660MHz	3 GHz	2-3.2Ghz
Bus width	32/64 bit	32/64 bit	32/64 bit
No. transistors	9,500,000	42,000,000	Na
Addressable Memory	64 Gbyte	64 GByte	64 GByte
Virtual Memory	64 TByte	64 TByte	64 TByte
Observations	SIMD	2 livelli di cache	Architettura di bus: NetBurst

	ITANIUM	ITANIUM 2	Pentium M	Core DUO
Introduced	2002	2002	2003	
Clock speed	800 MHz	1.3-1.5 GHz	1.3-1.7 Ghz	2.5 GHz
Bus width	64 bit	64 bit	64 bit	64 bit
No. transistors	na	na	42,000,000	151,000,000
Addressable Memory	16 Gbyte	16 Gbyte	64 GByte	64 GByte
Virtual Memory	64 TByte	64 TByte	64 TByte	64 TByte
Observations	EPIC – 64 bit	6.4 GByte/s su Bus di sistema	Centrino Architecture Very-low power	2 cores x86-64, Cache in comune



Esempio: INTEL Core Duo

- ❖ **Intel Core Duo**
(product code: 80539 - "Yonah")
 - 2 cores identici (Pentium III) sullo stesso "die"
 - 2 Mbytes di cache L2 condivisi
 - arbitraggio per l'accesso alla cache L2 e al FSB.
 - Hardware di controllo CPU per la riduzione del consumo energetico



Sviluppi futuri delle architetture

Dopo il 2003, evoluzione in altre direzioni:

- ❖ Efficienza (MIPS/Watt)
 - INTEL Pentium M / Centrino
- ❖ Ottimizzazione rapporto uomo/macchina
 - INTEL Core DUO
- ❖ Parallelizzazione su architetture semplici: architetture MULTICORE
 - STI CELL processor (Playstation III)
 - Nvidia CUDA architecture (GPU Serie 8000/9000)

