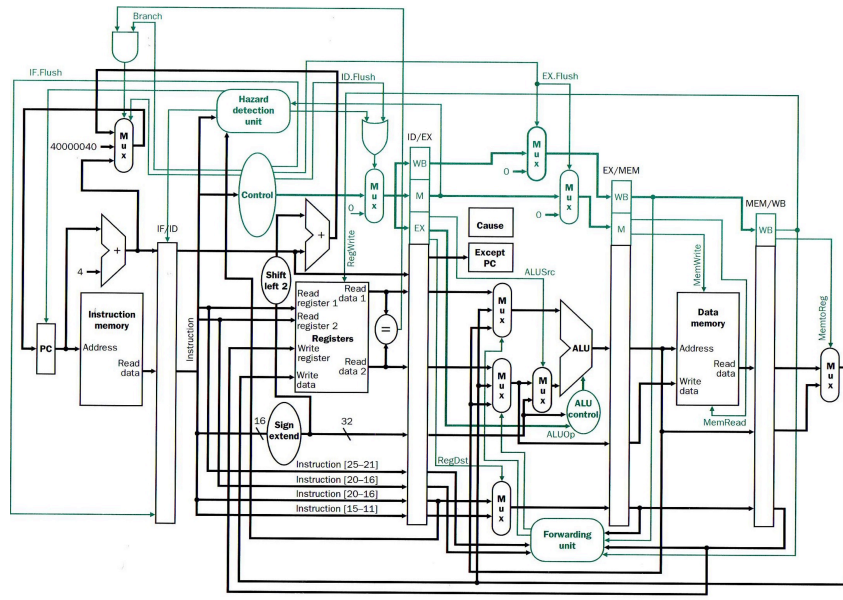




1. [7] Si consideri la CPU seguente mentre esegue il codice a lato.
- | | |
|---|------------------------------------|
| | <code>0xABC: lw \$2, 0(\$1)</code> |
| a) Identificare gli eventuali casi di criticità nel codice e descrivere come vengono gestiti dalla CPU; | <code>lw \$3, 0(\$2)</code> |
| b) determinare il contenuto del registro ID/EX dopo 6 cicli di clock dall'inizio della prima istruzione; | <code>add \$9, \$3, \$2</code> |
| c) determinare per quanti cicli di clock l'istruzione add rimane in pipeline. | <code>sw \$9, 0(\$9)</code> |
| d) determinare tutti i casi in cui interviene, nell'esecuzione di queste istruzioni, l'unità di propagazione. | |



2. [6] In una CPU con frequenza di clock 500 MHz ($= 5 \times 10^8$ Hz) e bus dati di 16 bit, una periferica trasferisce informazioni al ritmo di 8.000.000 B/s mediante DMA, trasferendo blocchi di 4.000 byte per volta in modo sincrono sul bus (1 parola/ciclo di clock). Supponendo che siano necessari 1500 cicli di clock per l'inizializzazione e altri 500 per la terminazione di ogni blocco DMA, calcolare:
- la percentuale di tempo di CPU dedicato alle operazioni di DMA durante il trasferimento.
 - la percentuale di tempo di CPU dedicata al trasferimento dati dalla stessa periferica, se si utilizzassero chiamate di interrupt anziché il DMA, supponendo che ogni chiamata di interrupt richieda 100 cicli di clock e trasferisca 4 parole.

- [5] Un processore caratterizzato da uno spazio di memoria indirizzabile di 64 MByte e un bus dati di 8 bit viene dotato di una memoria a 8 vie di capacità totale di 64 kByte e linee di 16 parole.
 - Disegnare lo schema circuitale dettagliato di tale memoria;
 - calcolare il numero di bit necessari per ogni linea (inclusendo tutti i campi);
 - calcolare la posizione nella cache in cui viene memorizzato il byte di memoria situato all'indirizzo: **0x345678**, determinando i valori in esadecimale di: *byte offset*, *word offset*, *index* e *tag*.
- [5] Enunciare e dimostrare la legge di Amdahl, per il calcolo del fattore di speed-up di un elaboratore in seguito al miglioramento di un suo aspetto di funzionamento.
- [5] Un elaboratore dotato di memoria virtuale dispone di una memoria fisica di 1 GB e gestisce uno spazio di memoria virtuale di 8 GB. Considerato che la dimensione delle pagine è di 16 kB e l'ampiezza di parola è di 32 bit, calcolare:
 - la dimensione della Page Table (supponendo che ogni linea di page table occupi una parola di memoria);
 - Virtual Page Number e Page Offset dell'indirizzo: **0x12345678**.
- [4] Descrivere la struttura e il funzionamento dell'unità di propagazione ("forwarding unit") della CPU pipeline MIPS, identificando tutti gli ingressi e le uscite dell'unità e definendo esattamente il suo algoritmo di funzionamento.

System calls

	codice (\$v0)	argomenti	risultato
<code>print_int</code>	1	\$a0	
<code>print_float</code>	2	\$f12	
<code>print_double</code>	3	\$f12	
<code>print_string</code>	4	\$a0	
<code>read_int</code>	5		\$v0
<code>read_float</code>	6		\$f0
<code>read_double</code>	7		\$f0
<code>read_string</code>	8	\$a0, \$a1	
<code>sbrk</code>	9	\$a0	\$v0
<code>exit</code>	10		

Registri MIPS

0	zero	24-25	t8-t9
1	at	26-27	k0-k1
2-3	v0-v1	28	Gp
4-7	a0-a3	29	Sp
8-15	t0-t7	30	s8
16-23	s0-s7	31	Ra