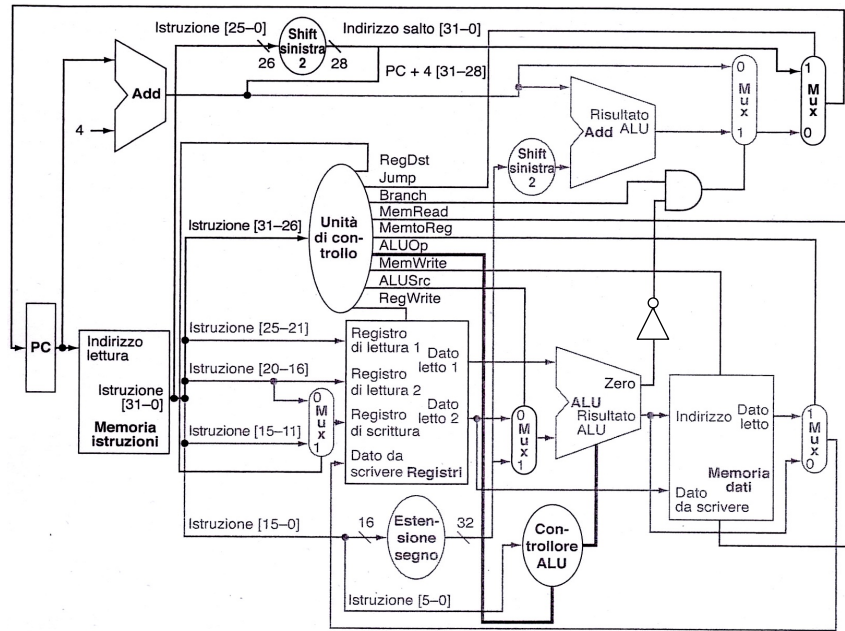


1. [12] Determinare, nel seguente schema di CPU: a) i valori agli ingressi ed alle uscite di ogni ALU e dei multiplexer relativi ai salti e del Register File; b) i valori di ogni segnale di controllo, supponendo che la CPU abbia eseguito le istruzioni seguenti e stia in questo momento eseguendo l'ultima istruzione:

```
0x00003AC8:  ori $s0, $zero, 5
              add $t1, $s0, $s0
              add $t2, $t1, $s0
              bne $t1, $s0, +40
```



2. [6] Con riferimento al circuito dell'esercizio 1, disegnare la struttura circuitale interna dei moduli "Shift a sinistra di 2" e "Estensione segno".
3. [6] Identificare quali modalità di indirizzamento vengono impiegate nell'esecuzione dell'istruzione MIPS: **addi** e rappresentare gli schemi circuitali (i *datapath*) che implementano tali modalità.
4. [8] Si traduca il seguente frammento di codice Assembly MIPS in linguaggio macchina, in formato esadecimale, calcolando prima i valori esadecimali **ADDR1** e **ADDR2** che permettono di saltare esattamente all'indirizzo indicato nel commento.

```
0xAB001D80: beq $20, $25, ADDR1 # salta a: 0xAB001800
              j ADDR2 # salta a: 0xABCD0100
```

System calls

	codice (\$v0)	argomenti	risultato
print int	1	\$a0	
print float	2	\$f12	
print double	3	\$f12	
print string	4	\$a0	
read int	5		\$v0
read float	6		\$f0
read double	7		\$f0
read string	8	\$a0, \$a1	
sbrk	9	\$a0	\$v0
exit	10		

Registri MIPS

		24-25	t8 - t9
0	zero		
1	at	26-27	k0 - k1
2-3	v0 - v1	28	gp
4-7	a0 - a3	29	sp
8-15	t0 - t7	30	s8
16-23	s0 - s7	31	ra

MIPS Instruction Set:

