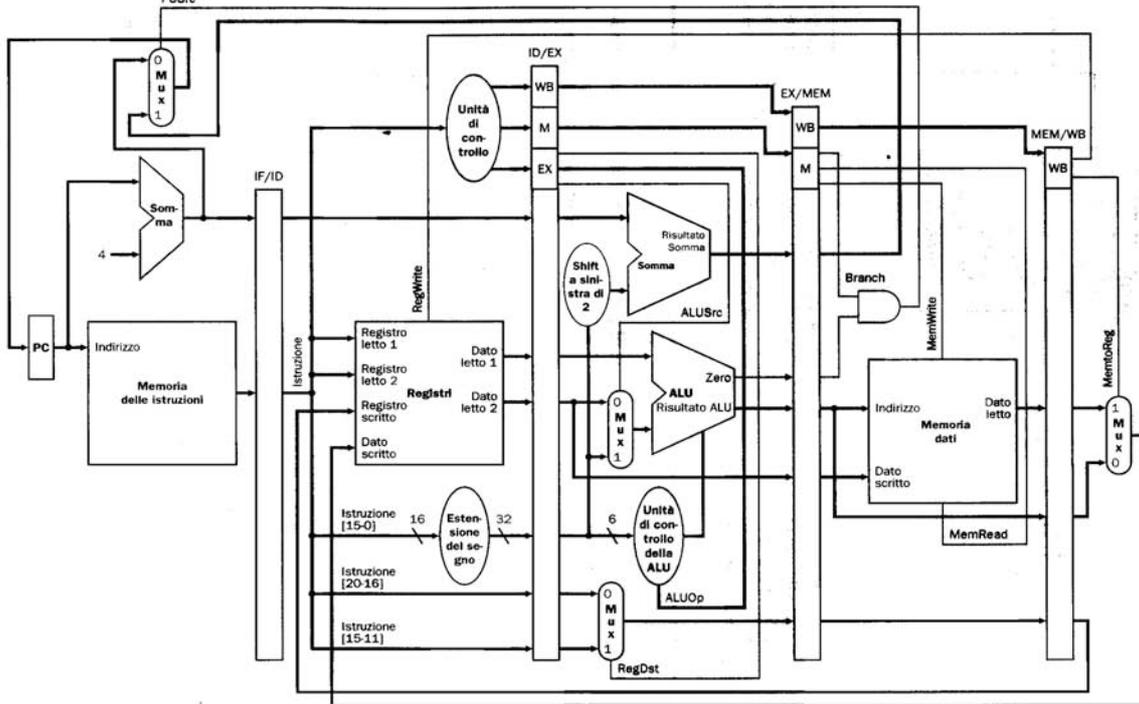


Cognome, nome:

Matricola:

1. [10] Data la seguente CPU con pipeline:



- a) [2] Che cosa caratterizza una CPU con pipeline e qual è la funzione di ogni stadio? Quali sono le informazioni di input e di output perché ciascuno stadio funzioni correttamente? Dove si trovano tali informazioni?
  - b) [5] Dato il seguente segmento di codice:
 

```

add $s0, $t1, $t2
beq $t2, $s2, oltre
sub $t0, $t1, $s2
sw $t2, 0($s0)
add $s3, $s3, $s3
            
```

Scrivere il contenuto di **tutti** i registri di pipe-line quando l'istruzione: `add $s3, $s3, $s3` si trova al termine della fase di fetch. (Codici operativi: `sw=43`, `beq=4`, `addi=8`, `sub(func)=34`, `add(func)=32`, `$t0=$8`, `$s0=$16`)
  - c) [3] Definire cos'è un hazard e cos'è uno stallo. Identificare se nel codice di cui sopra ci sono hazard.
2. [6] Scrivere correttamente in linguaggio Assembly nativo MIPS (evitando pseudo-istruzioni) una procedura che calcoli il fattoriale di un numero N.
  3. [7] Si consideri una memoria cache 2-associativa, in un'architettura con parole di 32 bit e bus indirizzi di 32 bit. La capacità della cache è di 1KByte complessivi e la dimensione della linea è di 8 parole. Dimensionare la cache, definendo come viene partizionato l'indirizzo di memoria.
 

Disegnare lo schema dettagliato di tale memoria con il circuito di lettura, esplicitando le dimensioni di tutti i segnali. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all'indirizzo di RAM: 0x80008888.

Descrivere le strategie possibili per la scelta del banco per la scrittura di un blocco in cache, in memorie cache n-associative. Si discutano e si confrontino le caratteristiche delle diverse strategie. Definire secondo quali modalità viene mantenuta la coerenza tra contenuto di cache e di RAM.
  4. [3] Dimostrare che le porte NAND e NOR sono porte universali. Dare la definizione di prima forma canonica.
  5. [3] Descrivere le strutture necessarie in una CPU per la gestione di interrupts e le principali strategie di gestione della risposta allo stesso.
  6. [7] Progettare e sintetizzare una macchina a stati finiti di Moore che accetti in ingresso un carattere binario (0 o 1) e sia caratterizzata da una linea d'uscita che vale "1" solo quando il bit in ingresso corrente è uguale a quello precedente. Allo stato iniziale, la macchina ricorda uno "0". Determinare STG, STT e struttura circuitale della macchina.